

## Dispense

R. Laschi, M. Prandini "Reti Logiche" Esculapio, 2007 -

## Informazioni, Slide e Compiti risolti

[www.lia.deis.unibo.it/Courses/2006-2007/Reti Logiche L-A](http://www.lia.deis.unibo.it/Courses/2006-2007/Reti Logiche L-A)

## Regolamento prove d'esame

L'esame prevede due prove:

### 1. Prova scritta (2 esercizi)

- Puntualmente complessivamente disponibili: 20
- Superamento: punteggio di ciascun esercizio  $\geq 4$

### 2. Prova orale

- Puntualmente disponibili: 10
- Superamento: punteggio  $\geq 4$

Voto esame: somma dei punteggi delle due prove

-Nella sola SESSIONE ESTIVA

-la **prova orale** può essere sostituita dalla **prova intermedia** superata con almeno 4 punti (o, per chi ha superato la prova di **Giugno**, con il primo esercizio della prova di **Luglio**)

-ogni compito a casa **consegnato in tempo** incrementa il voto finale di 0,5 punti; i **compiti a casa devono essere svolti da due studenti**

Date prove d'esame (prenotazione su Uniwex)

• **Prova intermedia:** 19/5

• **Prove scritte:** 27/6, 17/7, settembre, dicembre, gennaio, aprile

## Compiti a casa (da fare in due!)

Testi disponibili  
presso  
il Servizio Fotocopie  
di Facoltà

## Obiettivi del corso

RETI LOGICHE *insegna*  
*a descrivere ed*  
*a progettare*  
le **MACCHINE DIGITALI**

Eugenio Faldella  
Roberto Laschi  
Stefano Mattoccia  
Giuseppe Raffa

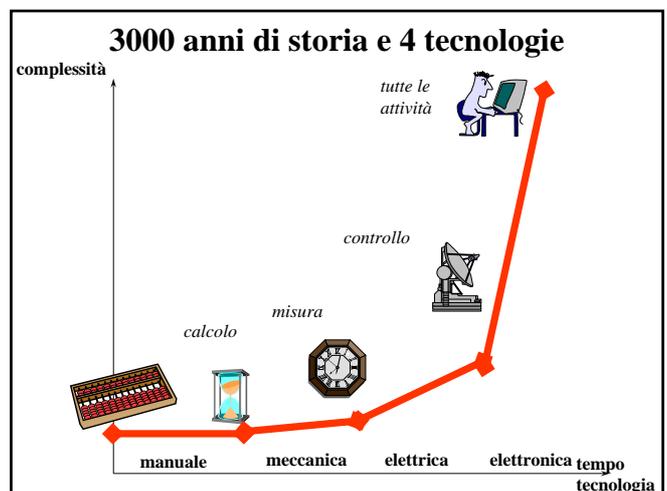
Aspiranti ingegneri dell'informazione

## Macchine digitali

### Sistemi artificiali

*che impiegano grandezze fisiche  
variabili nel tempo  
e con un numero finito di valori*

*per rappresentare,  
elaborare  
e comunicare  
informazioni*



Programma		
<b>Saper fare</b>	7: Reti sincrone	<i>Orale Prova scritta</i>
	6: Reti asincrone	
	5: Reti combinatorie	
<b>Sapere</b>	4: Reti logiche	<i>Orale Prova intermedia</i>
	3: Modelli	
	2: Codifica binaria dell'infor.	
	1: Macchine digitali	

**Capitolo 1**

**Macchine digitali**

1.1 - Descrizione e progettazione  
1.2 - Segnali ed interruttori

**1.1**  
**Descrizione e**  
**progettazione**

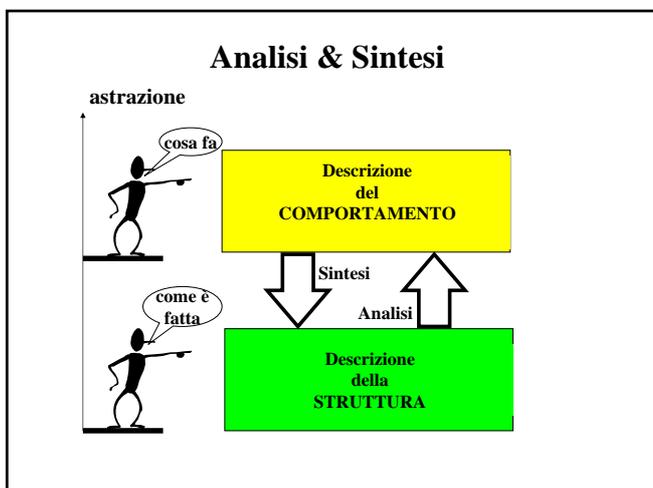
**Struttura & Comportamento**

**Schema a blocchi**

**COMPORTAMENTO:** "vista" della macchina focalizzata sulle risposte fornite a seguito di ogni possibile sollecitazione esterna

**STRUTTURA:** "vista" della macchina focalizzata sui componenti e sulle modalità con cui interagiscono

**Relazione di causa/effetto**

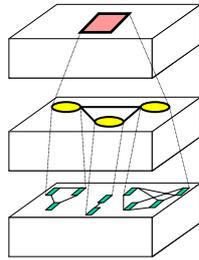


**Livelli di astrazione**

## Livelli di descrizione

• La descrizione del comportamento può essere **più e più volte** decomposta in comportamenti più semplici

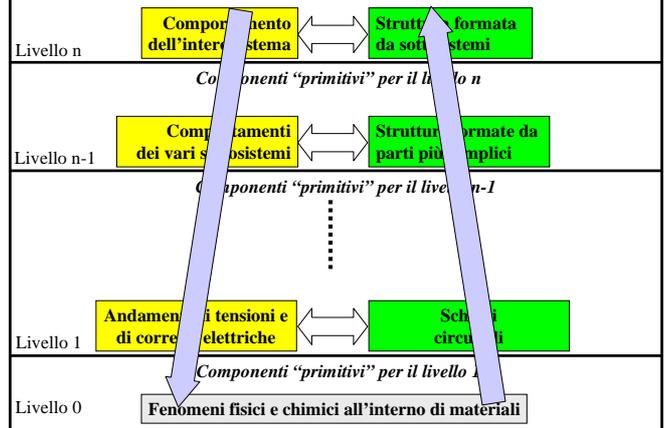
• Ogni livello di questa gerarchia individua strutture formate da **componenti "astratti"** la cui struttura è definita nel livello sottostante



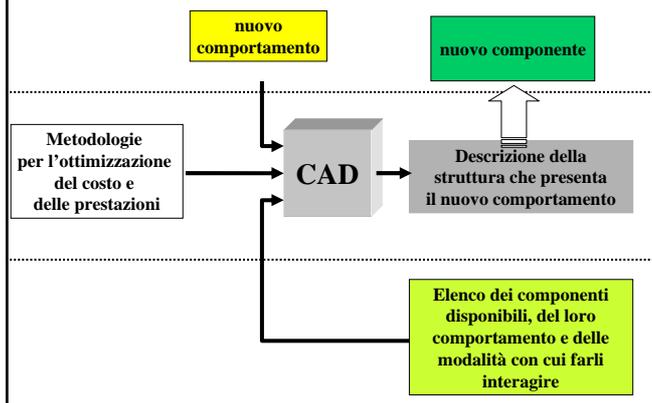
Scendendo dall'alto verso il basso

- **aumenta il numero** di componenti
- **diminuisce la complessità** dell'azione svolta da ciascuno

## Progettazione top-down e bottom-up

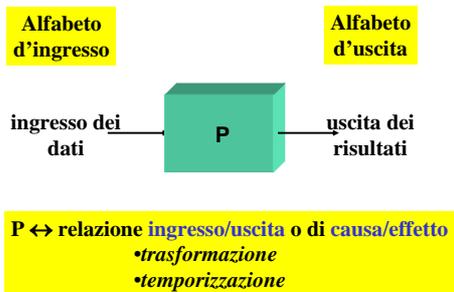


## Il progetto, o sintesi, su un livello

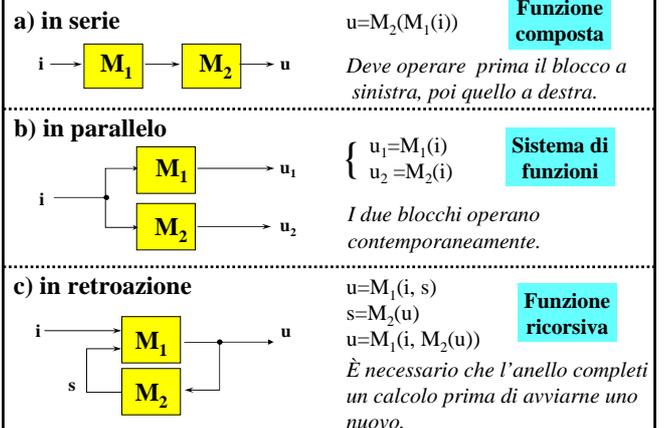


## Schemi a blocchi

## Il modello del "blocco" o "scatola nera"



## Regole "elementari" di composizione

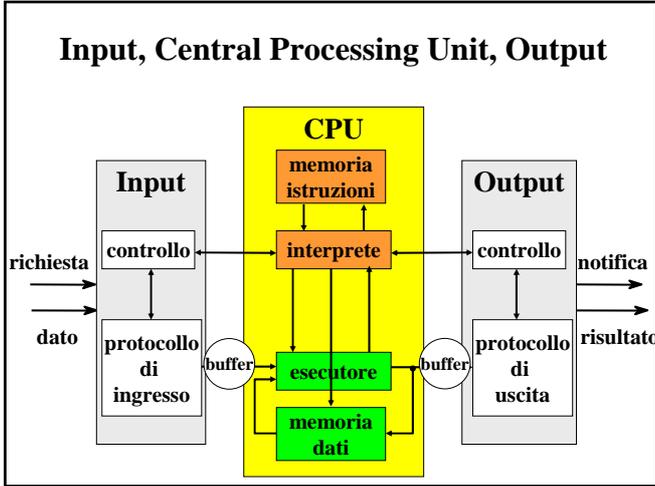
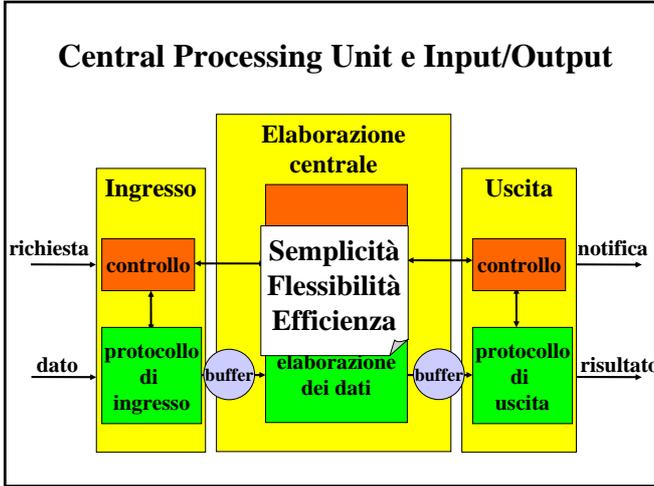
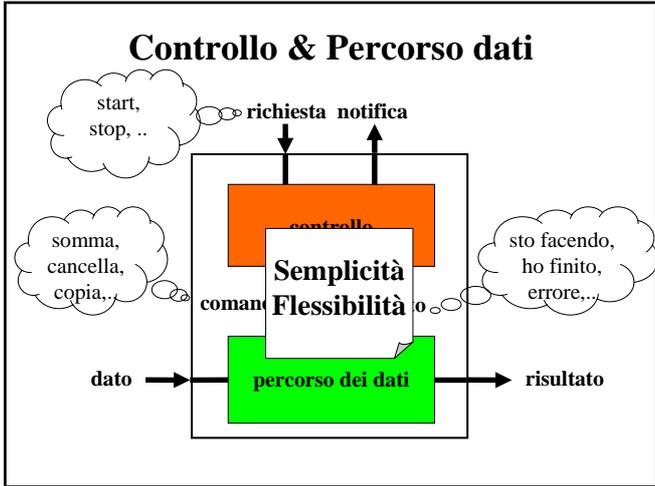
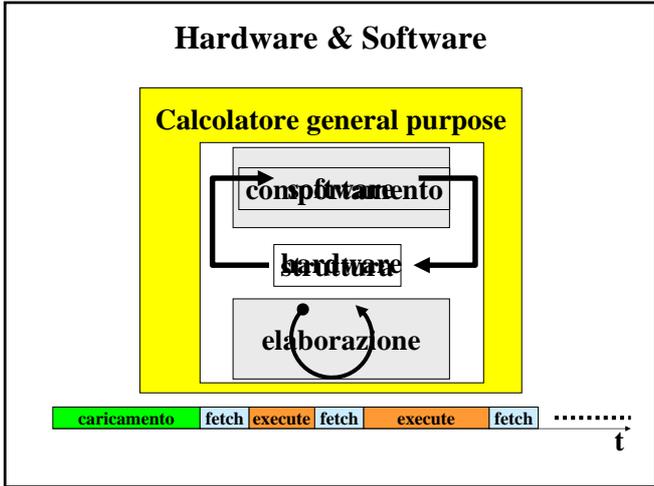


# Il livello architettonico

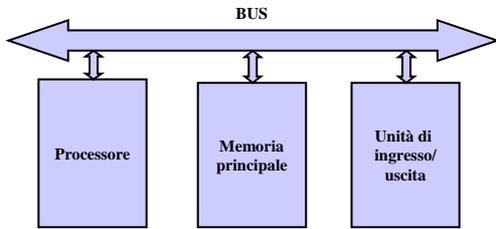
Classificazione di alto livello

- **Macchine special purpose:** un solo comportamento
- **Macchine general purpose:** tutti i comportamenti descrivibili con un algoritmo

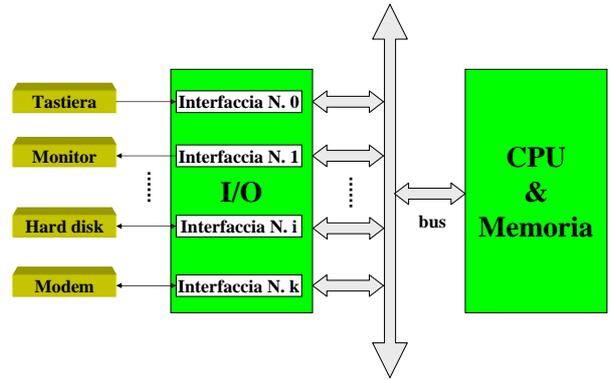
*Principio del programma memorizzato*  
*Babbage (1833)*  
*Turing e von Neumann (1939-47)*



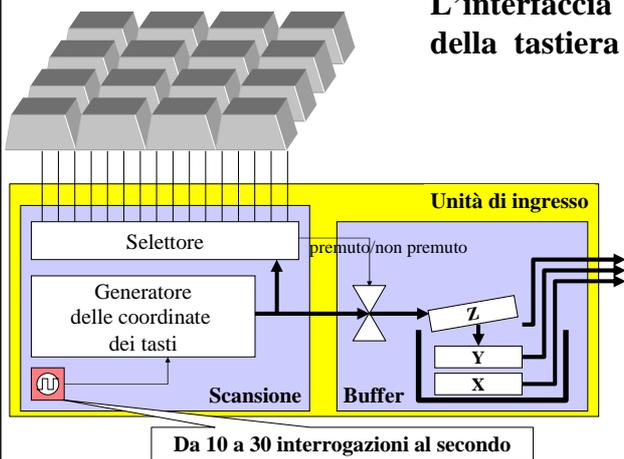
## Architettura di un calcolatore elettronico



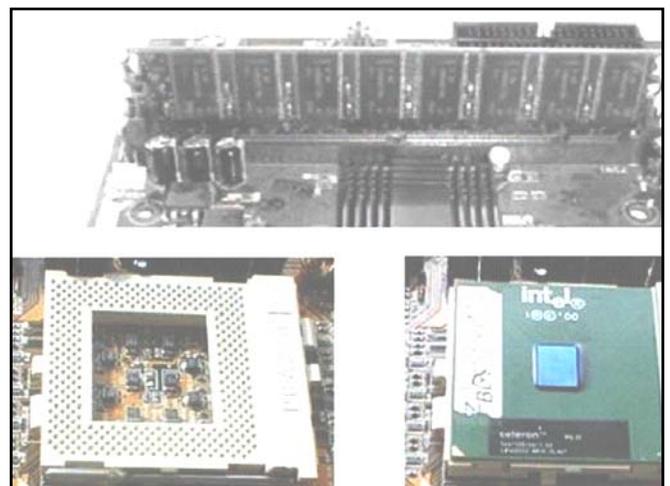
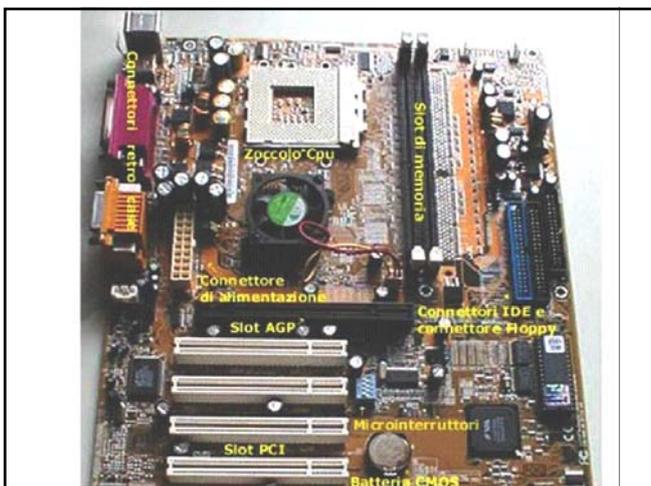
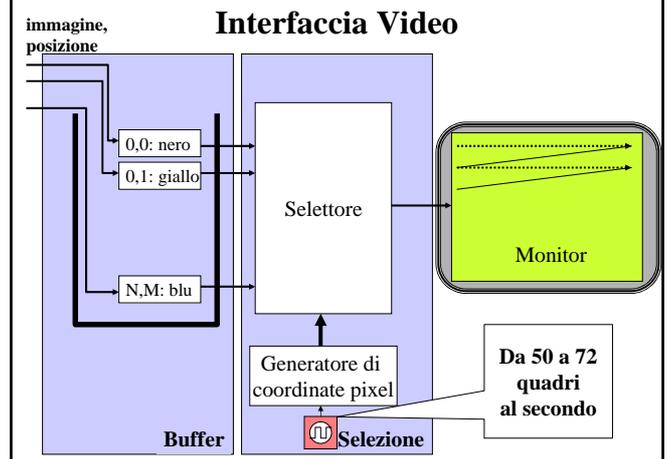
## I/O, bus, interfacce e dispositivi



## L'interfaccia della tastiera

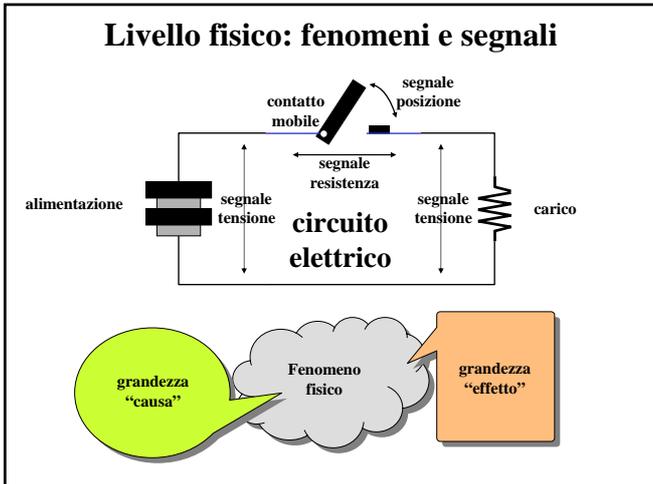


## Interfaccia Video





## I livelli fisico e logico



**Rete Logica: "modello della macchina digitale che consente**

- di astrarre dalla tecnologia
- di dettagliare l'immagine architettonica"

Processore, memoria, I/O

**Argomenti da affrontare per impiegare il modello:**

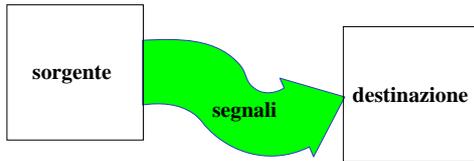
- Rappresentazione dell'informazione
- Elaborazione dell'informazione
- Descrizione matematica dei comportamenti
- Procedimenti di analisi e di sintesi

ingombro, consumo, costo

## 1.2 Segnali e interruttori

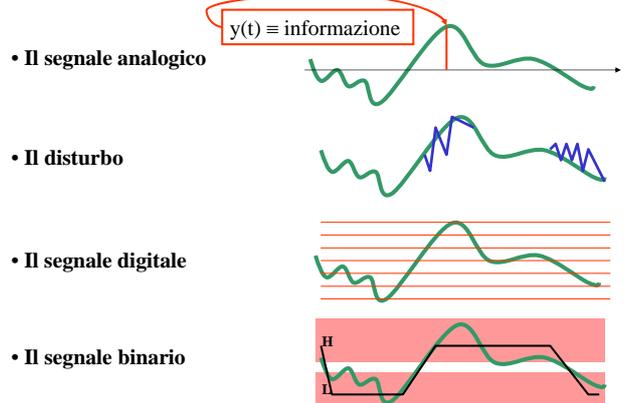
## Segnali analogici e digitali

## Il trasporto dell'informazione



**SEGNALE** - Grandezza fisica variabile nel tempo il cui andamento o forma d'onda rappresenta l'informazione che la parte sorgente vuole inviare alla parte destinazione.  
**SEGNALI ANALOGICI:** ogni variazione della grandezza fisica modifica l'informazione trasportata.  
**SEGNALI DIGITALI:** solo a certe variazioni corrisponde una modifica di "significato".

## Forme d'onda



## Velocità e Robustezza

**IPOTESI:** si dispone di una tensione elettrica che varia nell'intervallo 0 — 10 volt e di cui si è in grado di generare/misurare il valore con la precisione del centesimo di volt.

**PROBLEMA:** comunicare il valore di un numero intero < 1000.

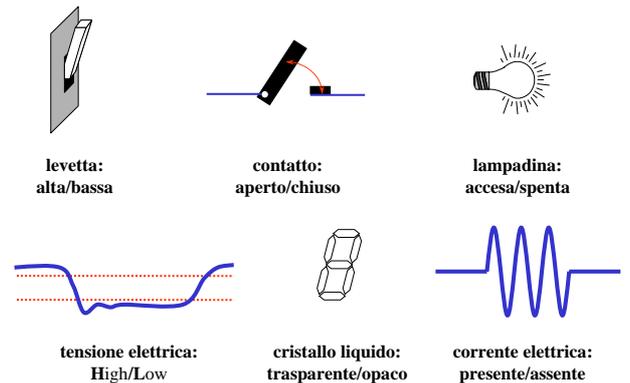
### SOLUZIONI

**Segnale analogico:** occorre un istante di tempo, ma un "rumore" di ampiezza pari a 0,01 volt modifica il dato.

**Segnale digitale:** una volta suddiviso l'intervallo in 10 fasce da un volt occorrono tre istanti di tempo; l'insensibilità al rumore è pari a 0,5 volt.

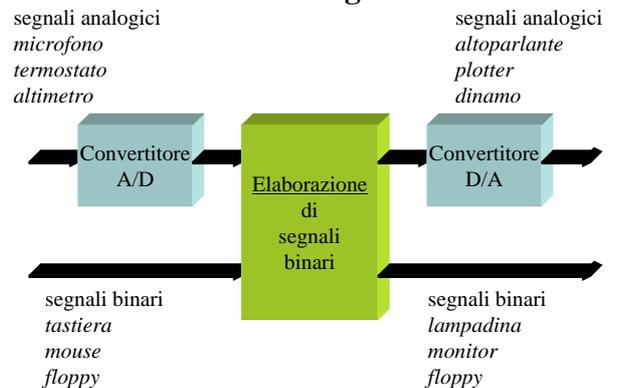
**Segnale binario:** con due fasce da 5 volt la comunicazione richiede dieci intervalli, ma la insensibilità al rumore diventa di 2,5 volt.

## Segnali binari: esempi

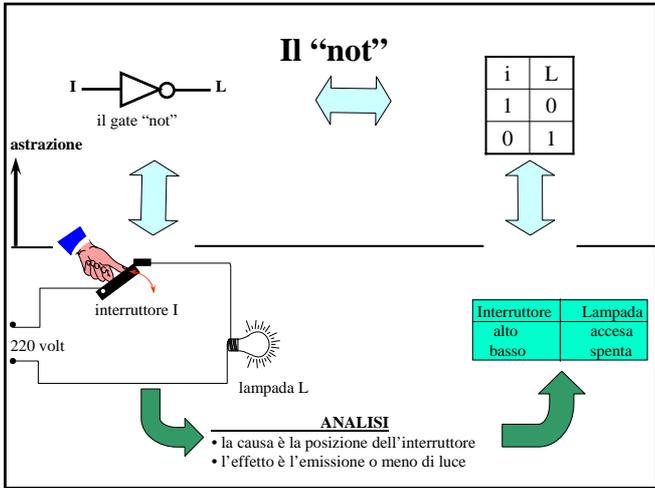
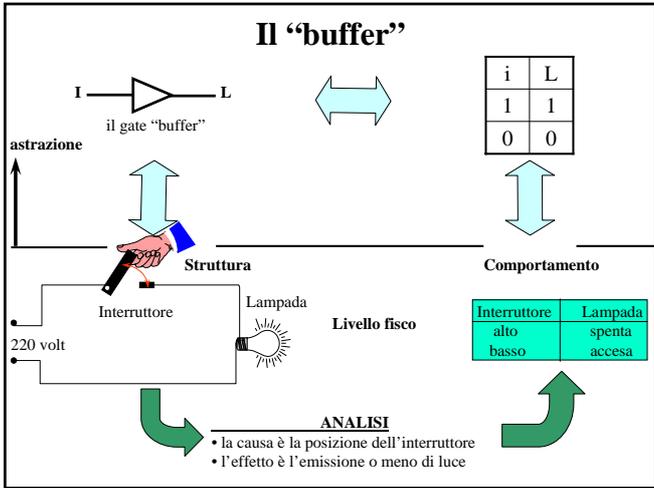
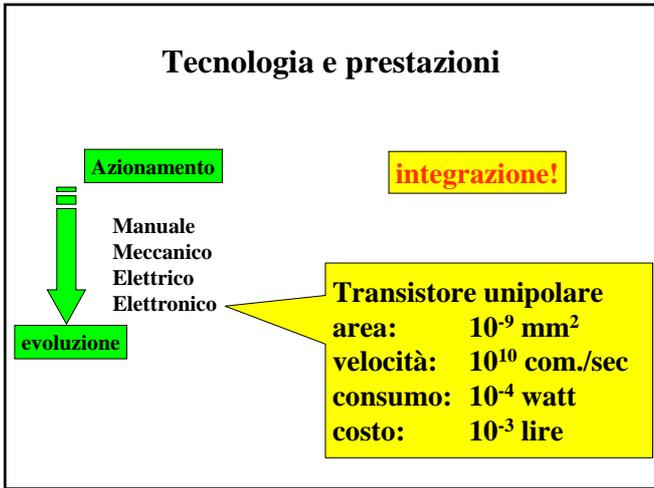
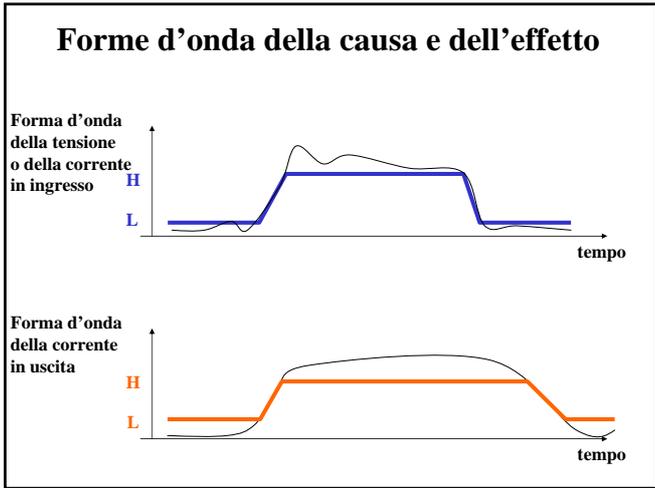
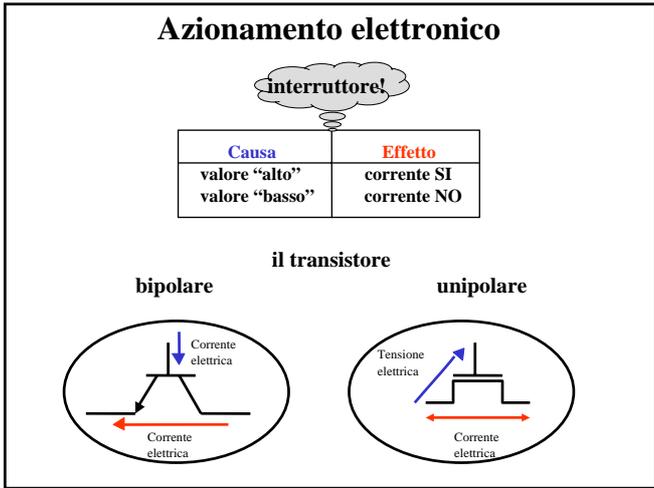


## Convertitori A/D e D/A

## I/O analogico







### Il "not" elettronico

i	L
1	0
0	1

$V_i$	$V_u$
0	+E
+E	0

### L' "and"

L'interruttore "complessivo" è chiuso se sono chiusi **e** I1 e I2

I1	I2	AB
0	0	0
0	1	0
1	0	0
1	1	1

I1	I2	AB
aperto	aperto	aperto
aperto	chiuso	aperto
chiuso	aperto	aperto
chiuso	chiuso	chiuso

### L' "or"

L'interruttore "complessivo" è chiuso se è chiuso **o** I1 **o** I2

I1	I2	AB
0	0	0
0	1	1
1	0	1
1	1	1

I1	I2	AB
aperto	aperto	aperto
aperto	chiuso	chiuso
chiuso	aperto	chiuso
chiuso	chiuso	chiuso

### And e Or a più di due ingressi

N. B. - Il numero dei segnali di ingresso di un gate è detto *fan-in*.

Contatti in serie

Contatti in parallelo

### Interruttori elettronici: il gate "not-or" o "nor"

N.B. Gli interruttori in parallelo possono essere più di due.

$V_1$	$V_2$	$V_u$
L	L	H
L	H	L
H	L	L
H	H	L

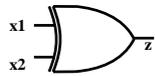
### Interruttori elettronici: il gate "nand"

N.B. Gli interruttori in serie possono essere più di due.

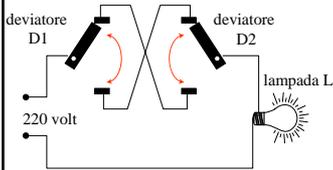
$V_1$	$V_2$	$V_u$
L	L	H
L	H	H
H	L	H
H	H	L

### L'“ex-or”

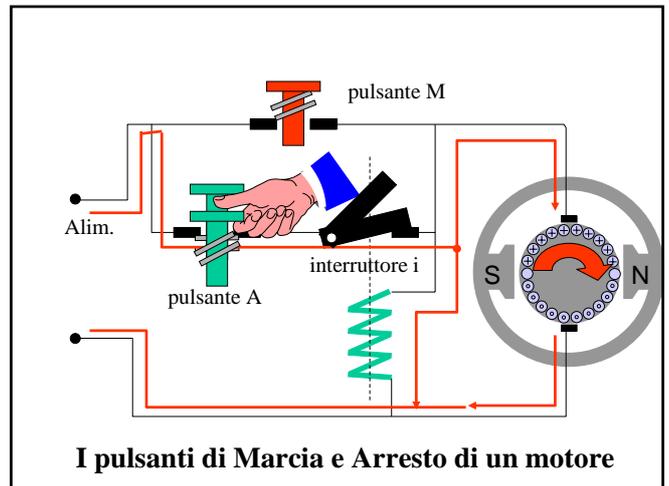
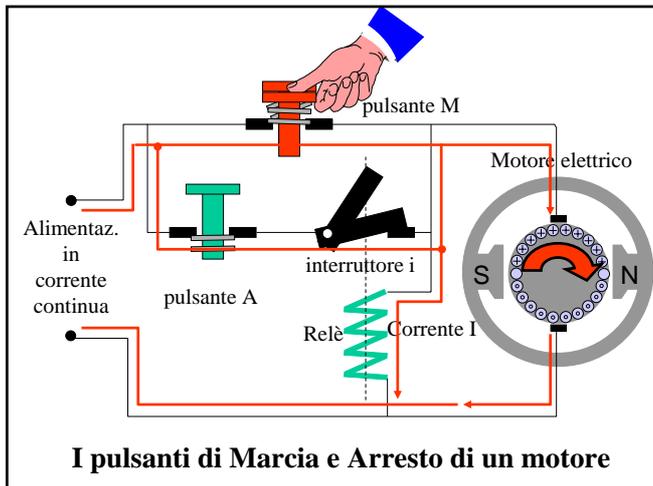
L'interruttore “complessivo” è chiuso se sono alti o D1 o D2, ma non entrambi



x1	x2	z
1	1	0
0	1	1
1	0	1
0	0	0

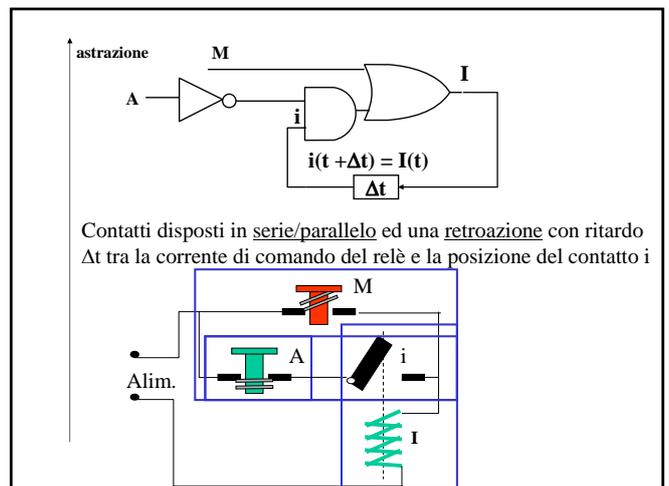


D1	D2	L
alto	alto	spenta
basso	alto	accesa
alto	basso	accesa
basso	basso	spenta

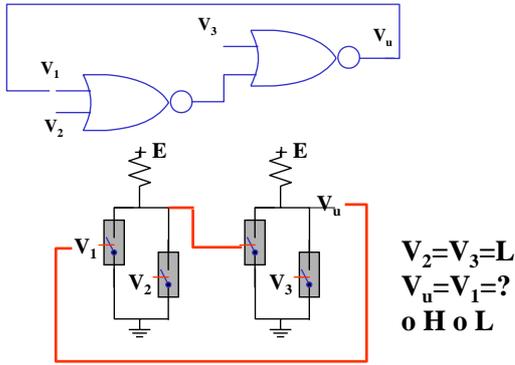


### Relè ad “autoritenuta”: tabulazione degli esperimenti

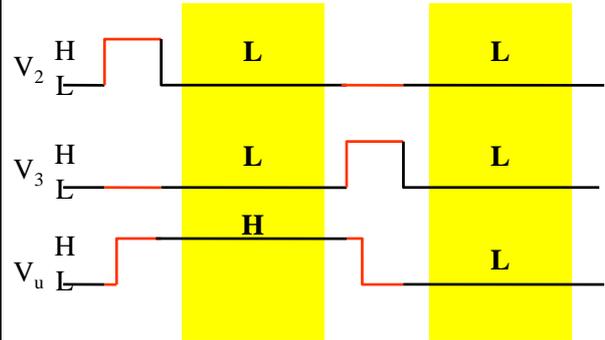
Pulsante M	Pulsante A		Corrente I	Situazione
rilasciato	rilasciato	dipende dallo stato del contatto i	?	stabile
rilasciato	rilasciato		SI	stabile
premuto	rilasciato		SI	instabile
premuto	rilasciato		SI	stabile
rilasciato	premuto		NO	stabile
rilasciato	premuto		NO	instabile
premuto	premuto		SI	inutile
premuto	premuto		SI	inutile



### Due "nor" in retroazione



### Il comportamento dei due NOR in retroazione



Per conoscere il valore di  $V_u$  quando  $V_2 = V_3 = L$ , occorre conoscere anche il valore **che aveva prima**

### Bit e configurazioni binarie

### Variabili binarie

Bit (binary digit) - Variabile  $x$  tale che:  
 $x \in B\{0,1\}$

logica positiva e negativa

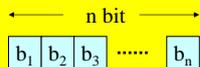
Segnali binari: {Presente, Assente} {High, Low} {Aperto, Chiuso} {Luce, Buio} ecc.

v	tensione	v	C	Contatto	C	L	Lampada	L
0	alta	1	0	aperto	1	0	accesa	1
1	bassa	0	1	chiuso	0	1	spenta	0

logica negativa      logica positiva

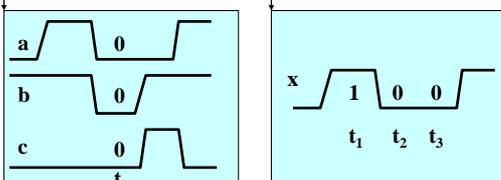
### Configurazioni binarie

Configurazione binaria - Stringa di lunghezza  $n$  di simboli 0 e 1.



- $n$  bit hanno  $2^n$  configurazioni binarie diverse.
- Una configurazione di  $n$  bit può rappresentare i valori di  $n$  segnali binari ad un certo istante.
- Una configurazione di  $n$  bit può rappresentare i valori di un segnale binario in  $n$  istanti.

Es:  
 a b c  
 0 0 0  
 1 0 0  
 0 1 0  
 0 0 1  
 1 1 0  
 1 0 1  
 0 1 1  
 1 1 1



### Diagrammi ad occhio

Andamento di 3 segnali:



Relazione di causa/effetto di un blocco con 3 ingressi e 2 uscite:

ingresso



uscita

