

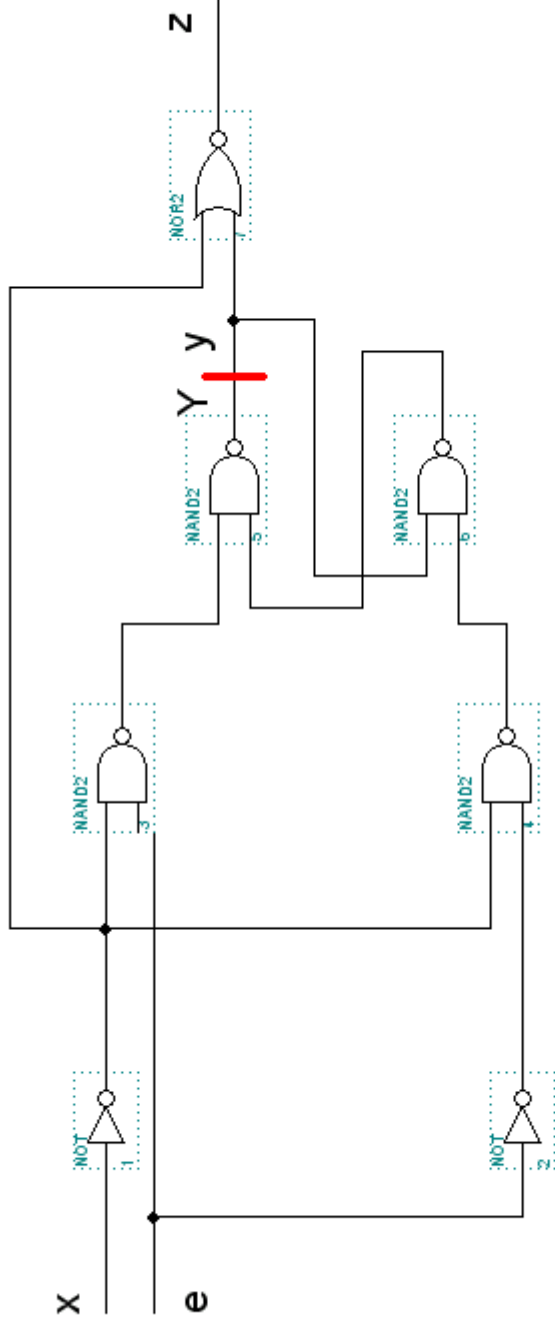
A.A. 2002-2003

Reti Logiche I-A

Esercizi su Reti Sincrone e Asincrone

Esercizio 1

Eseguire l'analisi della rete sequenziale asincrona indicata in figura.



a) Individuare le espressioni di stato e di uscita.

y (espressione NAND) =

Y (espressione SP) =

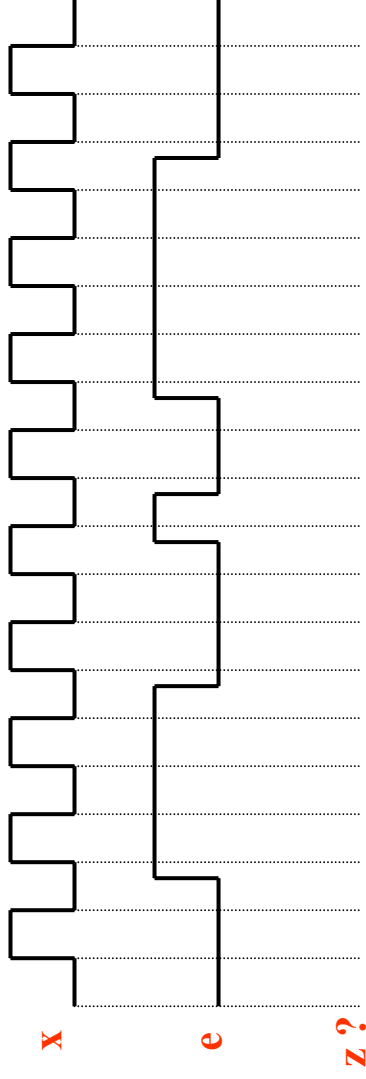
z (espressione SP) =

b) Tracciare la tabella delle transizioni ed evidenziare le situazioni di stabilita'.

		x e	
y	0	00	01
	1	10	11

Y, z

c) Indicare la forma d'onda di **z** in corrispondenza delle seguenti forme d'onda di **x e z**



Soluzione

a) Le espressioni di stato e di uscita.

$$\mathbf{y} \text{ (espressione NAND)} = (\mathbf{x}' \uparrow \mathbf{e}) \uparrow (\mathbf{y} \uparrow (\mathbf{x}' \uparrow \mathbf{e}'))$$

$$\mathbf{y} \text{ (espressione SP)} = (\mathbf{x}' \uparrow \mathbf{e}) \uparrow (\mathbf{y} \uparrow (\mathbf{x}' \uparrow \mathbf{e}'))$$

$$= ((\mathbf{x}' \cdot \mathbf{e})' \cdot (\mathbf{y} \cdot (\mathbf{x}' \cdot \mathbf{e}')'))' =$$

$$= \mathbf{x}' \cdot \mathbf{e} + \mathbf{y} \cdot (\mathbf{x}' \cdot \mathbf{e}') =$$

$$= \mathbf{x}' \cdot \mathbf{e} + \mathbf{y} \cdot (\mathbf{x} + \mathbf{e}) =$$

$$= \mathbf{x}' \cdot \mathbf{e} + \mathbf{x} \cdot \mathbf{y} + \mathbf{e} \cdot \mathbf{y}$$

$$\mathbf{z} \text{ (espressione SP)} = \mathbf{x}' \uparrow \mathbf{y} = (\mathbf{x}' + \mathbf{y})' = \mathbf{x} \cdot \mathbf{y}'$$

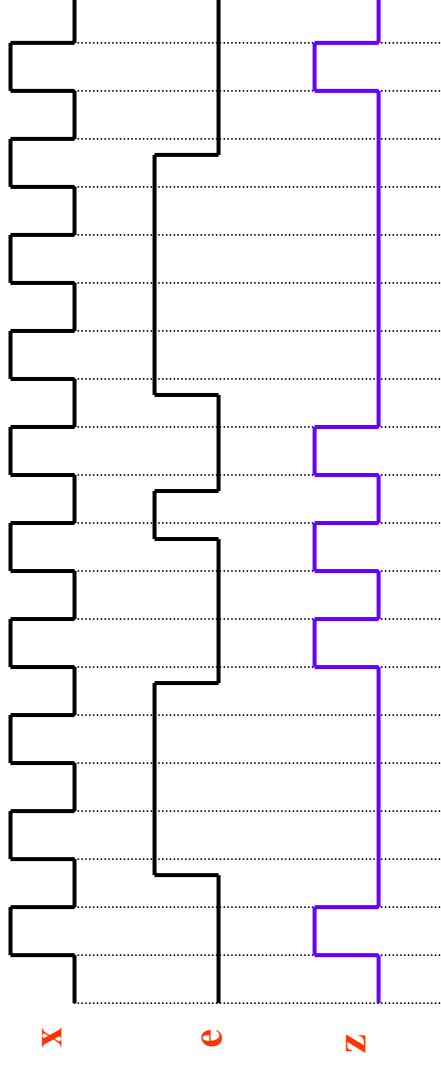
b) Tabella delle transizioni con evidenziate le situazioni di stabilita'.

$\mathbf{x} \ \mathbf{e}$		00	01	11	10
\mathbf{y}	0	0,0	1,0	0,1	0,1
	1	0,0	1,0	1,0	1,0
		$\mathbf{Y, z}$			

c) La forma d'onda di z

		x e			
		00	01	11	10
y	0	0,0	1,0	0,1	0,1
	1	0,0	1,0	1,0	1,0

Y, z

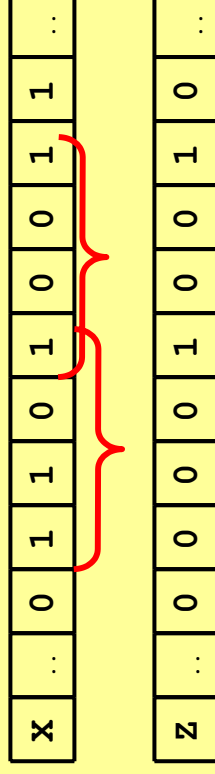


La rete trasferisce sull'uscita tutti gli impulsi di x che iniziano con e=0: se il fronte di salita di x si verifica quando e=0 allora l'uscita vale 1 finché x vale 1, se invece il fronte di salita di x si verifica con e=1 allora l'uscita rimane a 0 fino a che non si verifica un fronte di salita di x con e=0.

Esercizio 2

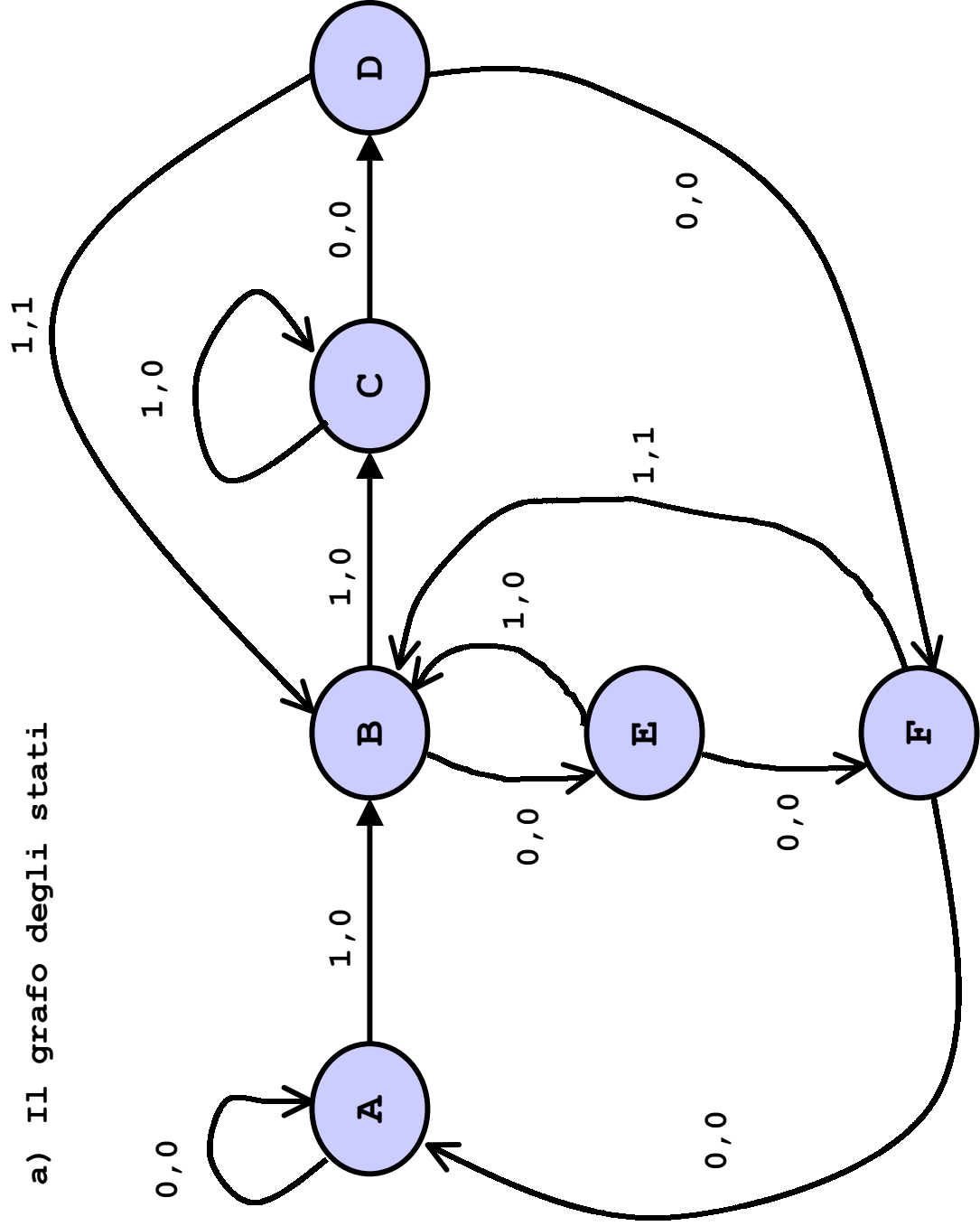
Una rete sequenziale sincrona e' caratterizzata da un segnale di ingresso X e da un segnale di uscita Z.

Z deve assumere il valore logico 1 in corrispondenza dell'intervallo di ricezione dell'ultimo simbolo di una delle due seguenti sequenze di ingresso: 1101, 1001. In tutti gli altri casi Z deve assumere il livello logico 0. Ad esempio,



- Individuare il grafo degli stati (suggerimento: ne servono meno di 8).
- Tracciare la tabella di flusso e la tabella delle transizioni.
- Individuare la rete di costo minimo necessaria per una delle variabili di stato e tracciare il corrispondente schema a NAND

Soluzione



b) La tabella di flusso

Stato Presente	$X^n = 0$	$X^n = 1$
A	A,0	B,0
B	E,0	C,0
C	D,0	C,0
D	F,0	B,1
E	F,0	B,0
F	A,0	B,1

Stato Futuro, Uscita

Codifica degli stati

A = 000
B = 001
C = 010
D = 011
E = 100
F = 101



Tabella delle transizioni.

$(Q_C Q_B Q_A)^n$	$X^n = 0$	$X^n = 1$
000	000,0	001,0
001	100,0	010,0
010	011,0	010,0
011	101,0	001,1
100	101,0	001,0
101	000,0	001,1

$(Q_C Q_B Q_A)^{n+1}, Z^n$

C) Rete di costo minimo per la variabile di stato Q_A

	$(Q_A, X)^n$			
$(Q_C, Q_B)^n$	00	01	11	10
00	0	1	0	0
01	1	0	1	1
11	-	-	-	-
10	1	1	1	0

Q_A^{n+1}

$$Q_A^{n+1} = (Q_B' Q_A' X + Q_B X' + Q_C Q_A' + Q_B Q_A + Q_C X)^n$$



Espressione a NAND

$$Q_A = ((Q_B' \uparrow Q_A' \uparrow X) \uparrow (Q_B \uparrow X')) \uparrow (Q_C \uparrow Q_A') \uparrow (Q_B \uparrow Q_A) \uparrow (Q_C \uparrow X)^n$$

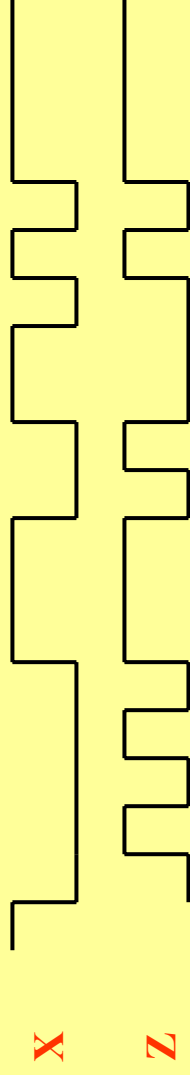
Esercizio 3

Una rete sequenziale sincrona e' caratterizzata da un segnale di ingresso X e da un segnale di uscita Z.

In risposta ad un fronte di discesa di X, Z deve assumere immediatamente il valore 0 e poi, se la situazione X=0 perdura, il valore opposto a quello che ha presentato nell'intervallo precedente.

In risposta ad un fronte di salita X, Z deve assumere immediatamente il valore opposto a quello che ha presentato nell'intervallo precedente e mantenerlo poi finche' X=1.

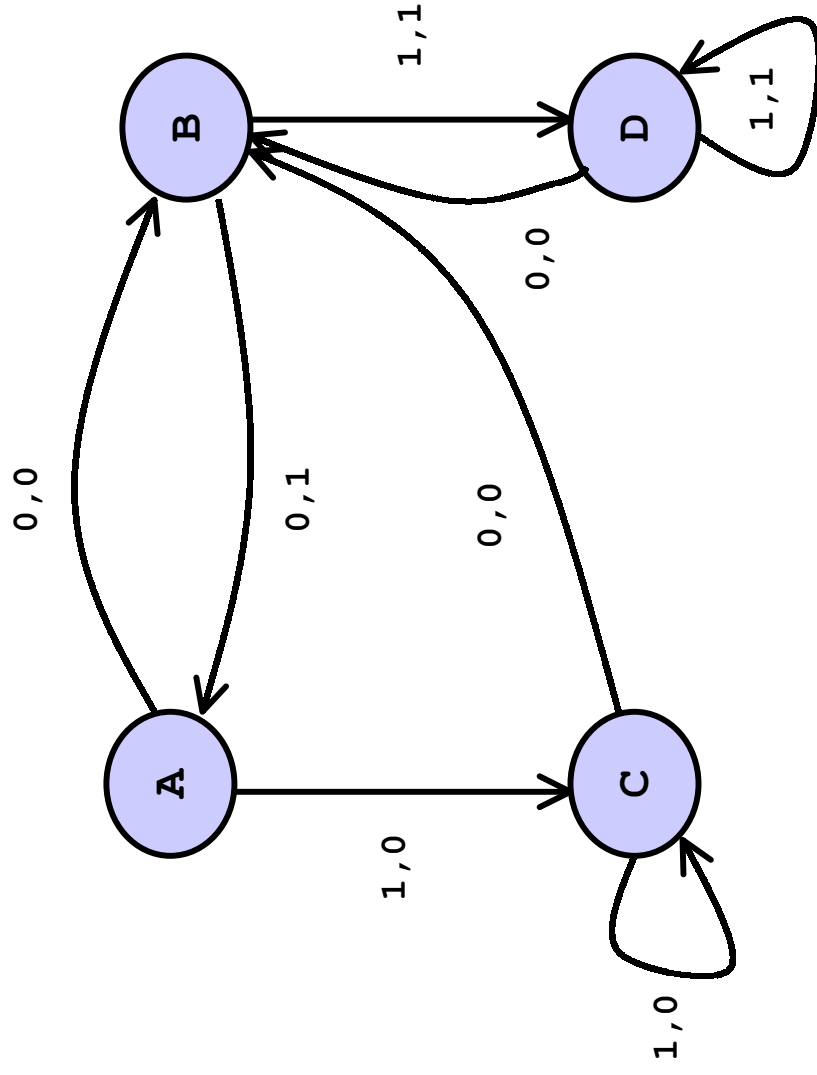
Ad esempio,



- Descrivere il comportamento della rete con un grafo a quattro stati.
- Tracciare la tabella di flusso e dimostrare che la macchina 'minima' ha solo tre stati.
- Tracciare la tabella delle transizioni della macchina minima
- Si sintetizzino le variabili di stato futuro e l'uscita ricavando le espressioni minime.

Soluzione

a) Il comportamento della rete con un grafo a quattro stati.



b) La tabella di flusso

Stato Presente	$X^n = 0$	$X^n = 1$
A	B, 0	C, 0
B	A, 1	D, 1
C	B, 0	C, 0
D	B, 0	D, 1

Stato Futuro, Uscita

Macchina minima

Stato Presente	$X^n = 0$	$X^n = 1$
$\alpha = \{A, C\}$	$\beta, 0$	$\alpha, 0$
$\beta = \{B\}$	$\alpha, 1$	$\gamma, 1$
$\gamma = \{D\}$	$\beta, 0$	$\gamma, 1$

Stato Futuro, Uscita

c) La tabella delle transizioni della macchina minima

Stato Presente	$y_1^n y_2^n$	$x^n = 0$	$x^n = 1$
α	00	01,0	00,0
β	01	00,1	11,1
γ	11	01,0	11,1
	10	--,-	--,-

$$y_1^{n+1} y_2^{n+1}, z^n$$

d) Sintesi delle variabili di stato futuro e dell'uscita

$y_1^n y_2^n$	$x^n = 0$	$x^n = 1$
00	0	0
01	0	1
11	0	1
10	-	-

$$y_1^{n+1} = (xy_2)^n$$

$Y_1^n \ Y_2^n$	$X^n = 0$	$X^n = 1$
00	1	0
01	0	1
11	1	1
10	-	-

$$Y_2^{n+1} = (X'Y_2' + XY_2 + Y_1Y_2)^n$$

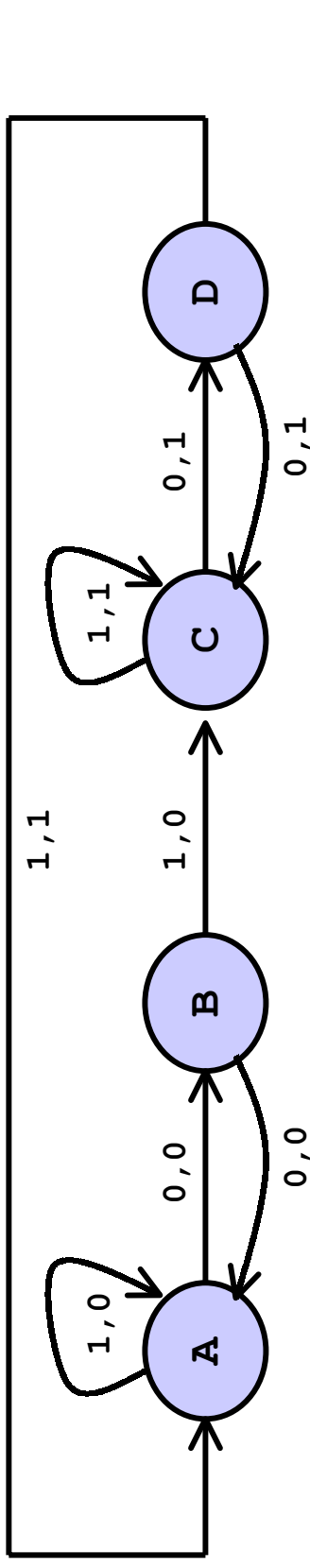
Y_2^{n+1}

$Y_1^n \ Y_2^n$	$X^n = 0$	$X^n = 1$
00	0	0
01	1	1
11	0	1
10	-	-

$$Z^n = (Y_1'Y_2' + XY_2)^n$$

Esercizio 4

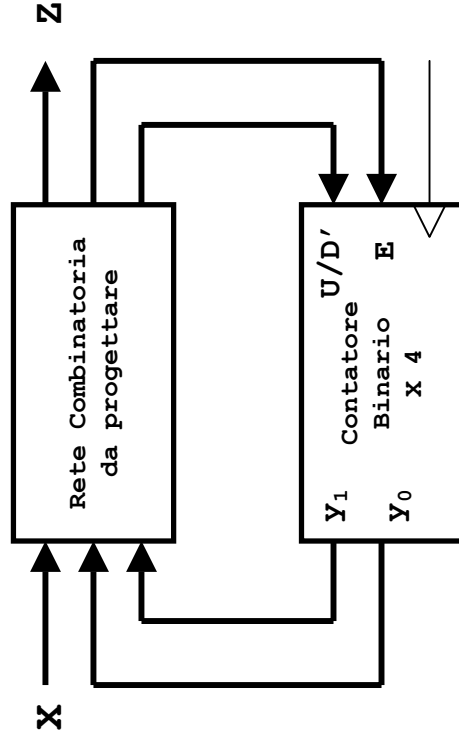
Il comportamento di una rete sequenziale sincrona, caratterizzata da un unico segnale di ingresso X e da un unico segnale di uscita Z , e' definito dal diagramma degli stati indicato in figura.



Per la realizzazione della rete occorre avvalersi di un contatore binario per 4, con ingressi E (Enable), U/D' (Up/Down') e uscite Y_1, Y_0 . (bit piu' leggero).

In dipendenza dei valori assunti dai comandi $E, U/D'$ durante un intervallo T_0 , il contatore puo' :

- Mantenere il valore attuale ($E=0$ e $U/D'=-$)
- contare in avanti ($E=1$ e $U/D'=1$)
- contare all'indietro ($E=1$ e $U/D'=0$)



a) Individuare le 2 possibili codifiche degli stati che consentono di impiegare tale contatore nella realizzazione della rete.

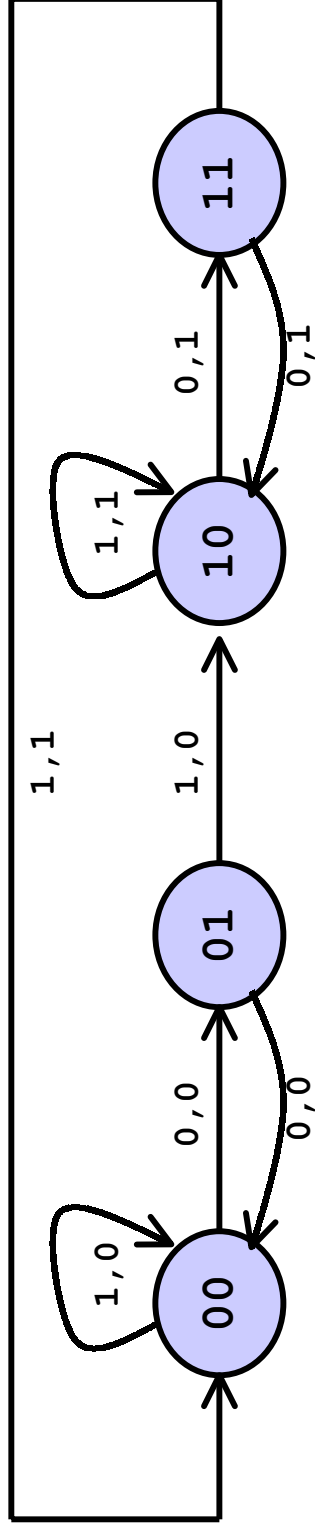
b) Individuare le espressioni minime SP e NAND dei segnali $E, U/D'$ e Z facendo riferimento alla codifica 1

Soluzione

- a) Le 2 possibili codifiche degli stati che consentono di impiegare tale contatore nella realizzazione della rete.

	Codifica 1 $Y_1 Y_0$	Codifica 2 $Y_1 Y_0$
A	00	00
B	01	11
C	10	10
D	11	01

b) Mappe delle funzioni combinatorie E, U/D' e Z facendo riferimento alla codifica 1



$Y_1^n \ Y_0^n$	$X^n=0$	$X^n=1$
00	1	0
01	1	1
11	1	1
10	1	0

$Y_1^n \ Y_0^n$	$X^n=0$	$X^n=1$
00	1	-
01	0	1
11	0	1
10	1	-

E^n

$Y_1^n \ Y_0^n$	$X^n=0$	$X^n=1$
00	0	0
01	0	0
11	1	1
10	1	1

$U/D' \ ^n$

b) Sintesi delle espressioni minime a NAND di $E, U/D'$ e Z

$Y_1^n \ Y_0^n$	$X^n=0$	$X^n=1$
00	1	0
01	1	1
11	1	1
10	1	0

E^n

$Y_1^n \ Y_0^n$	$X^n=0$	$X^n=1$
00	1	-
01	0	1
11	0	1
10	1	-

U/D'^n

$Y_1^n \ Y_0^n$	$X^n=0$	$X^n=1$
00	0	0
01	0	0
11	1	1
10	1	1

Z^n

$$E^n \text{ (Espressione SP)} = (X'^n + Y_0^n)^n$$

$$E^n \text{ (Espressione NAND)} = (X \uparrow Y_0')^n$$

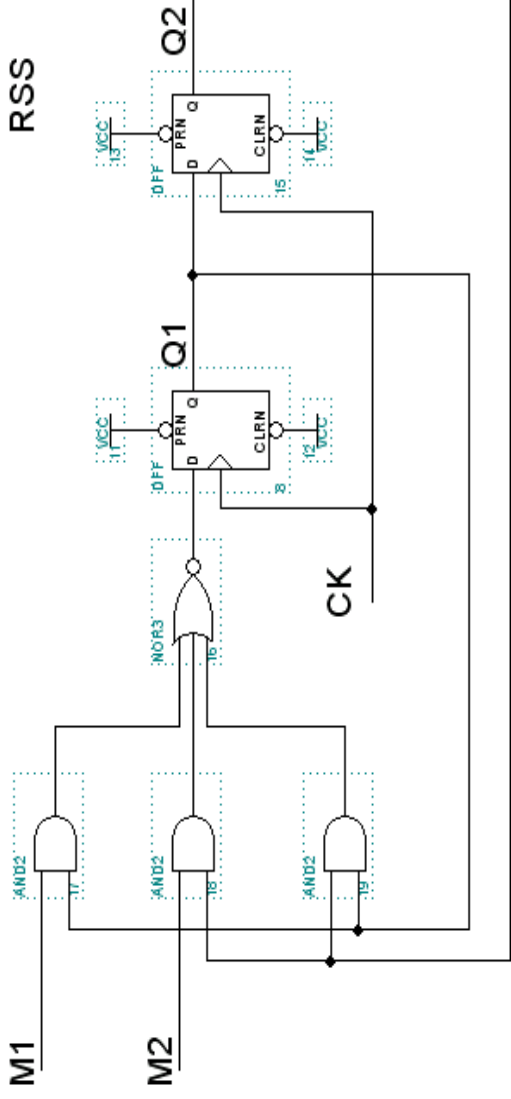
$$U/D'^n \text{ (Espressione SP)} = (X + Y_0')^n$$

$$U/D'^n \text{ (Espressione NAND)} = (X' \uparrow Y_0)^n$$

$$Z^n \text{ (Espressione SP)} = Y_1^n$$

$$Z^n \text{ (Espressione NAND)} = Y_1^n$$

Esercizio 5



- a) Individuare le espressioni delle variabili di stato futuro della rete sequenziale sincrona di figura
- b) Tracciare la tabella delle transizioni
- c) Evidenziare sui grafici i quattro possibili comportamenti della rete ad ingressi costanti ed individuare per ciascuno la base di conteggio a regime

M1M2 = 00

00 01

M1M2 = 01

00 01

M1M2 = 11

00 01

M1M2 = 10

00 01

Base:

10 11

Base:

10 11

Base:

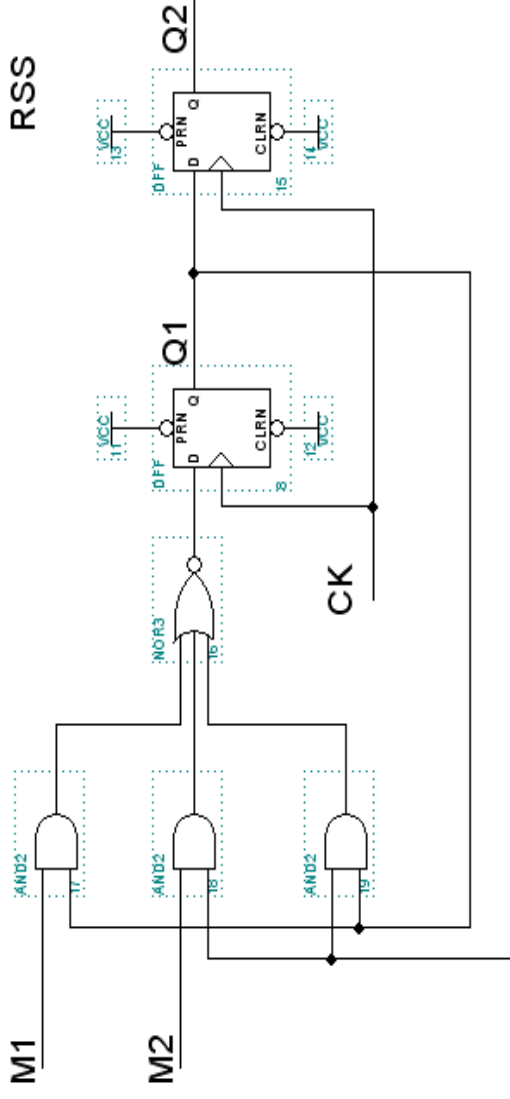
10 11

Base:

10 11

Soluzione

a) Le espressioni delle variabili di stato futuro



$$Q1^{n+1} = (M1Q1 + M2Q2 + Q1Q2)'^n = ((M1' + Q1') \cdot (M2' + Q2') \cdot (Q1' + Q2'))^n$$

$$Q2^{n+1} = Q1^n$$

Soluzione

b) La tabella delle transizioni

$$Q1^{n+1} = (M1' + Q1') \cdot (M2' + Q2') \cdot (Q1' + Q2')^n$$

$$Q2^{n+1} = Q1^n$$



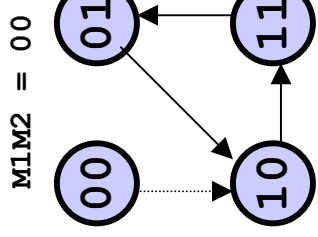
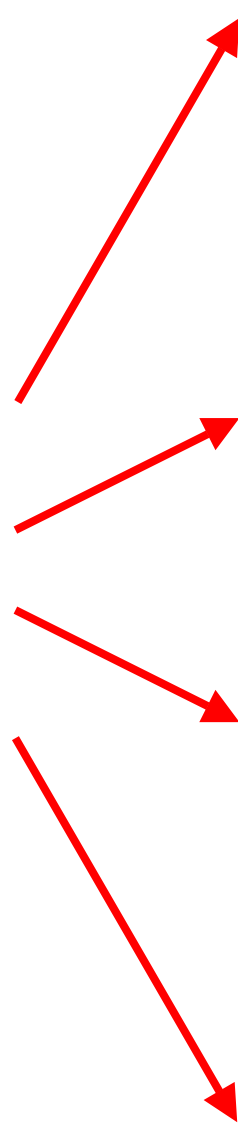
$M1^n, M2^n$	$Q1^n, Q2^n$			
	00	01	11	10
00	10	10	10	10
01	10	00	00	10
11	01	01	01	01
10	11	11	01	01

$Q1^{n+1} \quad Q2^{n+1}$

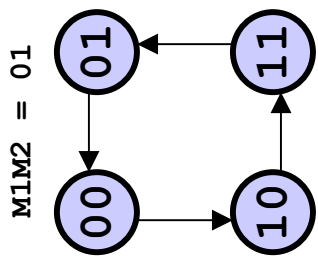
c) I quattro possibili comportamenti della rete ad ingressi costanti e le basi di conteggio a regime.

$M1^n, M2^n$		$Q1^n, Q2^n$			
		00	01	11	10
00	10	10	10	10	10
01	10	00	00	10	10
11	01	01	01	01	01
10	11	11	11	01	01

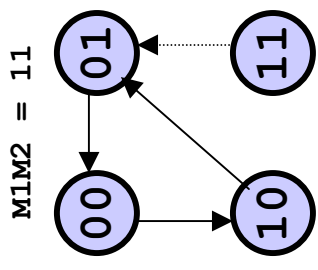
$Q1^{n+1} Q2^{n+1}$



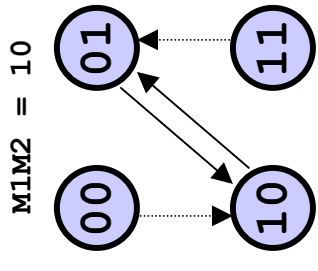
Base di conteggio a regime: 3



Base di conteggio a regime: 4



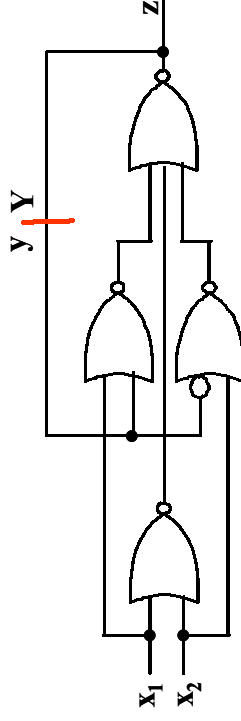
Base di conteggio a regime: 3



Base di conteggio a regime: 2

Esercizio 6

- Si esegua l'analisi della rete sequenziale asincrona mostrata in figura:



A tale scopo:

- Si scrivano le espressioni a NOR della variabile di stato futuro e dell'uscita e si ricavano poi le corrispondenti espressioni normali PS.
- A partire dalle espressioni PS ottenute al punto precedente si ricavi la tabella delle transizioni e si evidenzino le situazioni di stabilità.
- Si indichi quale configurazione di ingresso deve essere vietata affinché la rete abbia un funzionamento conforme al modello studiato per le reti asincrone.
- Considerando vietata la configurazione di ingresso individuata al punto precedente, si descriva a parole in modo chiaro e sintetico il comportamento della rete.
- Inserendo delle condizioni di indifferenza nelle celle della tabella delle transizioni che corrispondono alla configurazione di ingresso vietata si individui lo schema logico di una realizzazione a NOR equivalente (nel dominio di definizione delle funzioni di stato e d'uscita) alla rete mostrata in figura ed avente un numero di gate inferiore.

Soluzione

- Espressioni a NOR ed espressioni PS di variabile di stato futuro e uscita:

$$Y = (y \downarrow x_1) \downarrow (x_1 \downarrow x_2) \downarrow (y' \downarrow x_2) \quad \text{espressione a NOR della variabile di stato futuro.}$$

$$Y = ((y \downarrow x_1) + (x_1 \downarrow x_2) + (y' \downarrow x_2))'$$

$$Y = (y \downarrow x_1)' \cdot (x_1 \downarrow x_2)' \cdot (y' \downarrow x_2)'$$

$$Y = ((y + x_1)')' \cdot ((x_1 + x_2)')' \cdot ((y' + x_2)')'$$

$$Y = (y + x_1) \cdot (x_1 + x_2) \cdot (y' + x_2) \quad \text{espressione PS della variabile di stato futuro.}$$

$Z=Y$ espressione PS della variabile d'uscita

- Tabella delle transizioni e situazioni di stabilità :

		$x_1 \ x_2$			
		00	01	11	10
y	0	0	0	1	1
	1	0	1	1	0
		Y			

6/11/03

Nota : poichè $z=y$, nella tabella delle transizioni è sufficiente indicare la sola Y .

- **Configurazione vietata:** deve essere vietata la configurazione d'ingresso $x_1 x_2 = 10$ poichè per tale configurazione la rete non raggiunge mai una situazione di stabilità.
- **Descrizione a parole del funzionamento della rete.**
- **Considerando vietata la configurazione $x_1 x_2 = 10$** si ottiene la seguente tabella delle transizioni:

$x_1 x_2$		00	01	11	10
		0	0	1	
y	0	0	0	1	
	1	0	1	1	

Y

da cui si può osservare che la rete è un latch SR in cui x_1 è il comando di SET (attivo alto) e x_2 è il comando di RESET (attivo basso).

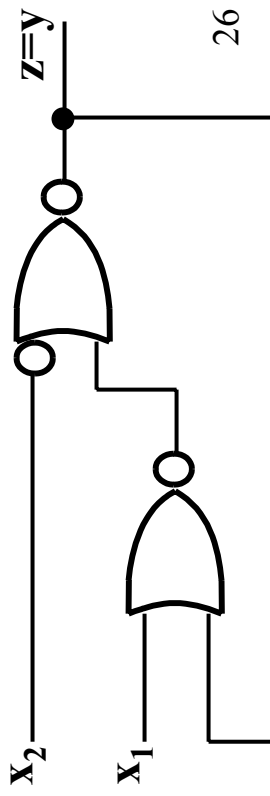
- **Sintesi di una realizzazione a NOR equivalente:**

$x_1 x_2$		00	01	11	10
		0	0	1	-
y	0	0	0	1	1
	1	0	1	1	1

Y

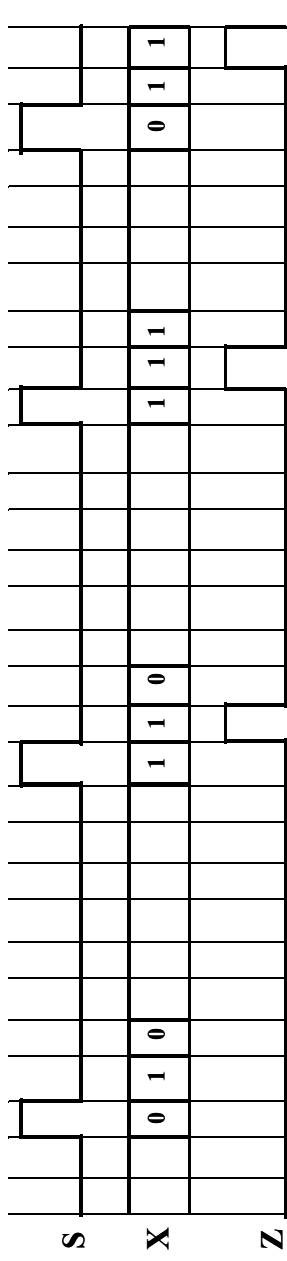
$$Y = x_2 \cdot (y + x_1) \quad \text{espressione minima PS}$$

$$Y = x_2' \downarrow (y \downarrow x_1) \quad \text{espressione minima a NOR}$$



Esercizio 7

Si esegua la sintesi di una rete sequenziale sincrona avente due ingressi, S ed X, ed una uscita, Z. Il segnale S normalmente vale 0 e va a 1 molto di rado per un solo intervallo di clock. Ad ogni attivazione di S (cioè quando S=1) la rete deve verificare se la sequenza costituita dai 3 valori assunti da X nell'intervallo di attivazione di S e nei 2 intervalli successivi comprende almeno due 1 consecutivi. In tal caso l'uscita Z deve prontamente assumere il valore 1 per un solo intervallo di clock. In tutte le altre situazioni Z deve rimanere a 0:

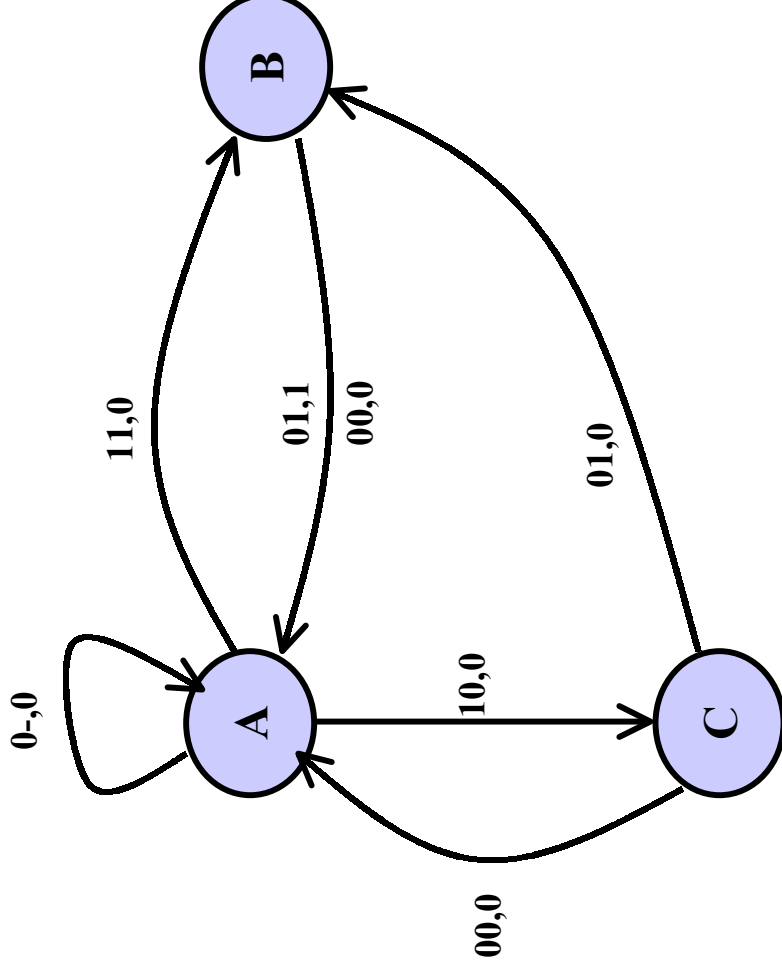


A tale scopo:

- Si disegni il diagramma degli stati della rete.
- A partire dal diagramma degli stati ottenuto al punto precedente si ricavino la tabella di flusso e la tabella delle transizioni.
- Si dica se il comportamento della rete segue il modello di Mealy oppure il modello di Moore, motivando in modo chiaro e sintetico la risposta fornita.
- Si ricavino le espressioni minime SP delle funzioni d'uscita e di stato futuro utilizzando il metodo grafico delle mappe di Karnaugh e mostrando chiaramente i raggruppamenti rettangolari associati ai termini presenti nelle espressioni.
- A partire dalle espressioni minime SP ricavate al punto precedente si disegni lo schema logico della rete.

Soluzione

- Diagramma degli stati (sui rami sono indicati S X, Z)



• **Tabella di Flusso**

Stato Presente	SX = 00	SX = 01	SX = 11	SX = 10
A	A, 0	A, 0	B, 0	C, 0
B	A, 0	A, 1	-, -	-, -
C	A, 0	B, 0	-, -	-, -

Stato Futuro, Uscita

• **Tabella delle Transizioni**

$(y_1 y_0)^n$	$(SX)^n = 00$	$(SX)^n = 01$	$(SX)^n = 11$	$(SX)^n = 10$
A=00	00, 0	00, 0	01, 0	11, 0
B=01	00, 0	00, 1	-, -	-, -
C=11	00, 0	01, 0	-, -	-, -
10	-, -	-, -	-, -	-, -

• **Modello di Mealy/Moore:** il comportamento della rete segue il modello di Mealy poiché l'uscita dipende sia dallo stato sia dall'ingresso. Difatti, se lo stato è B e l'ingresso è 00 l'uscita vale 0 mentre se lo stato è B e l'ingresso è 01 l'uscita vale 1.

• **Espressioni minime SP delle funzioni d'uscita e di stato futuro:**

$(SX)^n$		00	01	11	10
		00	0	0	0
$(y_1 y_0)^n$	01	0	0	-	-
	11	0	0	-	-
10		-	-	-	-

y_1^{n+1}



$$y_1^{n+1} = (S X)^n$$

$(SX)^n$		00	01	11	10
		00	0	0	1
$(y_1 y_0)^n$	01	0	0	-	-
	11	0	1	-	-
10		-	-	-	-

y_0^{n+1}



$$y_0^{n+1} = (S + y_1 X)^n$$

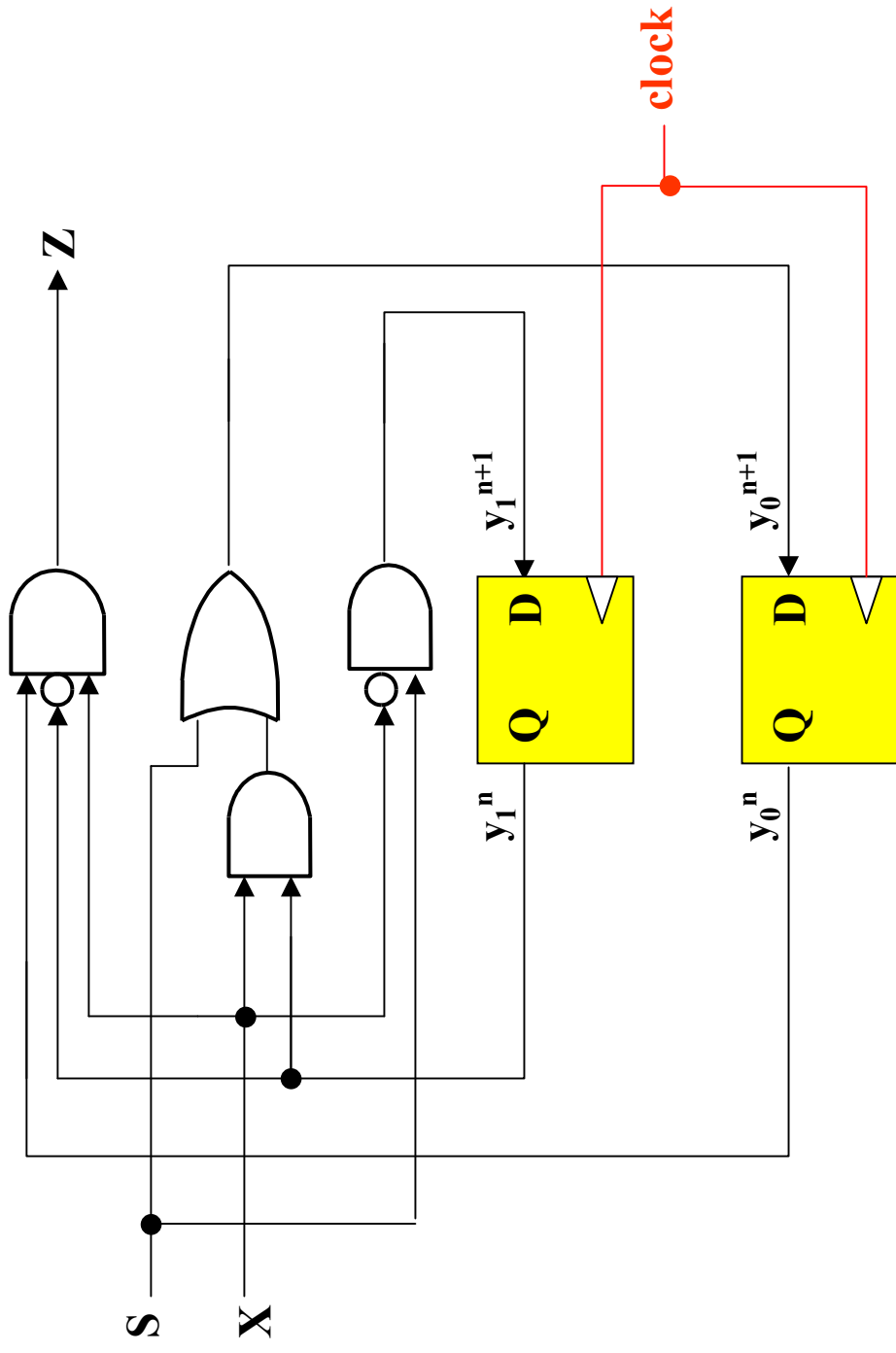
$(SX)^n$		00	01	11	10
		00	0	0	0
$(y_1 y_0)^n$	01	0	1	-	-
	11	0	0	-	-
10		-	-	-	-

Z^n



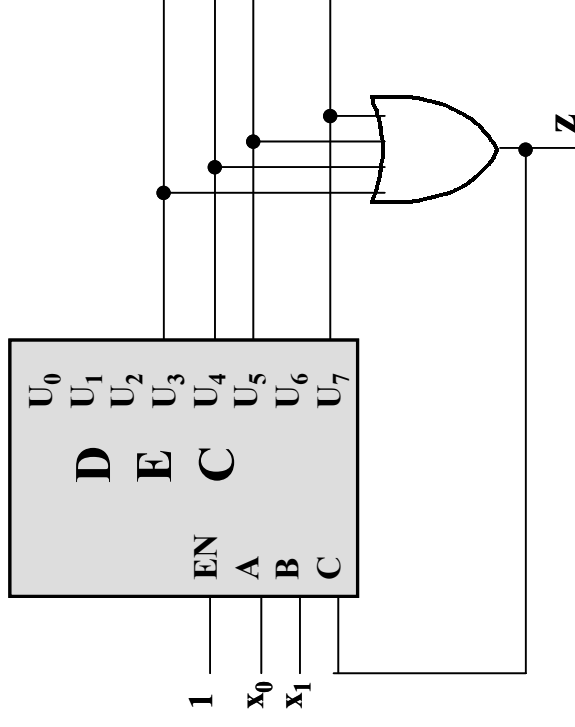
$$Z^n = (y_1' y_0 X)^n$$

• Schema logico della rete



Esercizio 8

Si esegua l'analisi della rete sequenziale asincrona mostrata in figura:

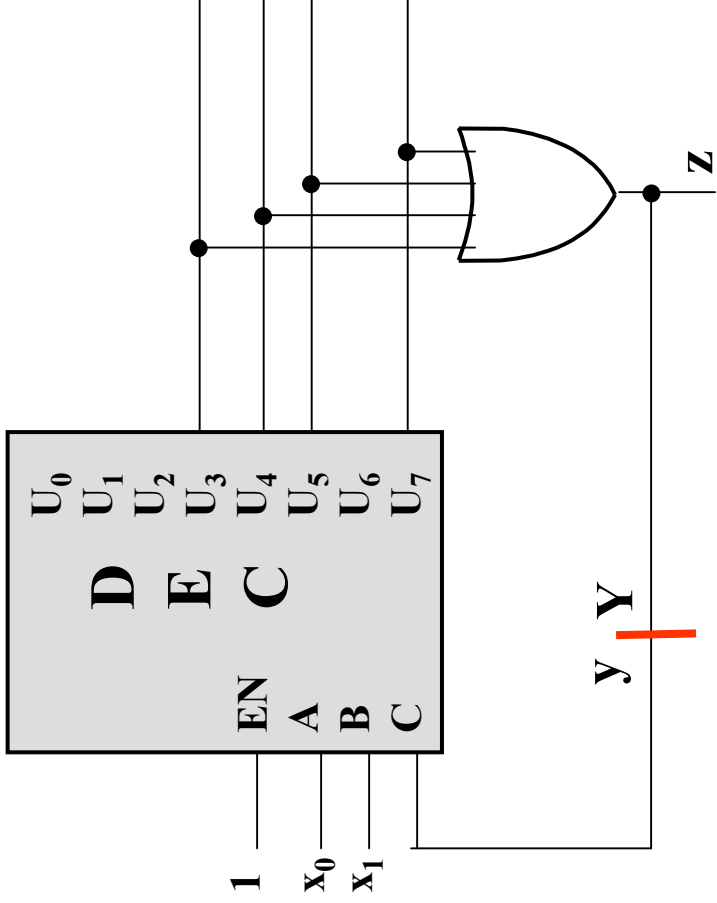


A tale scopo:

- Si scrivano le espressioni della variabile di stato futuro e dell'uscita.
- A partire dalle espressioni ottenute al punto precedente si ricavi la tabella delle transizioni e si evidenzino le situazioni di stabilità.
- Analizzando la tabella delle transizioni si descriva a parole in modo chiaro e sintetico il comportamento della rete.
- Si spieghi quale fra i vincoli di progetto delle reti asincrone risulta violato nella realizzazione mostrata in figura (*punti 1*).

Soluzione

- Espressioni di variabile di stato futuro e uscita:



$$Y = \sum_3 m(3,4,5,7)$$

$$Y = y'x_1x_0 + yx_1x_0' + yx_1'x_0 + yx_1x_0$$

espressione della variabile di stato futuro.

$$z = y$$

espressione della variabile d'uscita

- Tabella delle transizioni e situazioni di stabilità :

		$x_1 x_0$			
		00	01	11	10
y	0	0	0	1	0
	1	1	1	1	0
		Y			

Nota : poichè $z=y$, nella tabella delle transizioni è sufficiente indicare la sola Y .

- Descrizione a parole del funzionamento della rete.

Dalla tabella delle transizioni mostrata nella pagina precedente si può osservare che se $x_1=0$ la rete mantiene il bit di informazione in essa memorizzato. La configurazione $x_1=1$ forza invece la scrittura del valore assunto dall'altro ingresso x_0 . Il comportamento della rete è quindi quello di un latch CD in cui x_1 è l'ingresso di clock (C) e x_0 è l'ingresso di dato (D).

- Vincolo di progetto violato

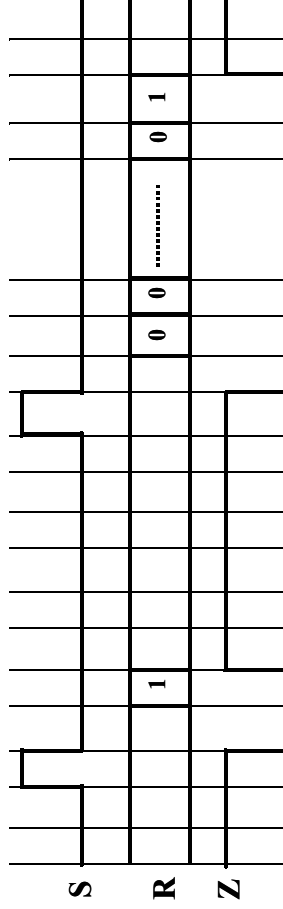
Tracciando sulla tabella delle transizioni (che è strutturata come una mappa di Karnaugh) i raggruppamenti rettangolari che corrispondono ai termini prodotto presenti nell'espressione SP (espressione canonica) della variabile di stato futuro:

		$x_1 x_0$			
		00	01	11	10
y	0	0	0	1	0
	1	1	1	1	0
		Y			

si può osservare la presenza di uni adiacenti non racchiusi all'interno di uno stesso raggruppamento rettangolare. Conseguentemente, la variabile di stato è soggetta ad alee statiche di 1 e quindi non è soddisfatto il vincolo di progetto delle reti asincrone che impone l'assenza di alee sulle variabili di stato.

Esercizio 9

- Assumendo di avere a disposizione un contatore per 8 in codice Gray dotato di comandi di ENABLE e RESET (sincrono) si realizzi un contatore per 4 in codice Gray dotato di comando di ENABLE ed in grado di autoinizializzarsi in un ciclo di clock (*si veda la pagina successiva !*). A tale scopo si ricavi la mappa di Karnaugh della funzione RESET, si determini l'espressione minima SP e la corrispondente espressione a NAND ed infine si disegni lo schema logico del contatore per 4 ottenuto collegando il contatore per 8 e la rete a NAND che genera il RESET.
- Una rete sequenziale sincrona (RSS) ha due ingressi, S ("Start") ed R ("Ready"), ed una uscita, Z. A seguito dell'attivazione di S, la rete deve generare un impulso su Z avente durata dipendente dall'andamento di R. Più precisamente, quando S=0 la rete è "a riposo" e Z=1. Quando S=1 (tale configurazione corrisponde all'attivazione di S e dura un solo ciclo di clock) l'uscita Z deve andare a 0 per almeno due clock a partire dal clock successivo a quello in cui S=1. Se nel secondo clock in cui Z=0 l'ingresso R vale 1, allora Z torna a 1 nel clock successivo, se invece nel secondo clock in cui Z=0 l'ingresso R vale 0 l'uscita Z vale 0 anche nel clock successivo e ci rimane fino a che R=0, per tornare poi a 1 solo nel clock successivo a quello in cui R=1. In ogni caso, quando Z torna a 1 deve rimanere a 1 per almeno due clock (ciò implica che se S si attiva nel clock in cui Z torna a 1 il comando di "Start" non produce alcun effetto). Le forme d'onda seguenti illustrano ulteriormente il funzionamento della rete:



- Si disegni il diagramma degli stati di una macchina di Moore (uscita dipendente solo dallo stato) a 4 stati che descrive il comportamento della RSS (punti 4).
- Si realizzi la RSS a partire dal contatore per 4 in codice Gray dotato di ENABLE progettato al primo punto dell'esercizio. In particolare la RSS deve essere costituita dal contatore e da una rete combinatoria che ricevendo in ingresso i segnali S,R e le variabili di stato del contatore genera in uscita il comando di ENABLE e l'uscita Z. A tale scopo si esegua la codifica degli stati, si ricavano le mappe di Karnaugh di ENABLE e Z, si esegua la sintesi minima SP di ENABLE e Z, si disegni lo schema logico della RSS.

•Un contatore per 8 in codice Gray è un contatore avente gli stati codificati con le 8 configurazioni del codice Gray a 3 bit:

$Q_2 Q_1 Q_0$

0 0 0
0 0 1
0 1 1
0 1 0
1 1 0
1 1 1
1 0 1
1 0 0

•Un contatore per 4 in codice Gray è un contatore avente gli stati codificati con le 4 configurazioni del codice Gray a 2 bit:

$Q_1 Q_0$

0 0
0 1
1 1
1 0

Soluzione

- Progetto del contatore per 4 mediante diminuzione della base di conteggio del contatore per 8:

Mappa della
Funzione RESET



		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	0	0	0	1
	1	1	1	1	1

RESET

Reset attivo nel quarto stato del ciclo per portare la base di conteggio da 8 a 4.....

....ed anche negli stati 5,6,7,8 in maniera da ottenere l'autoinizializzazione in un clock

Espressione minima SP e corrispondente espressione a NAND:

		$Q_1 Q_0$			
		00	01	11	10
Q_2	0	0	0	0	1
	1	1	1	1	1

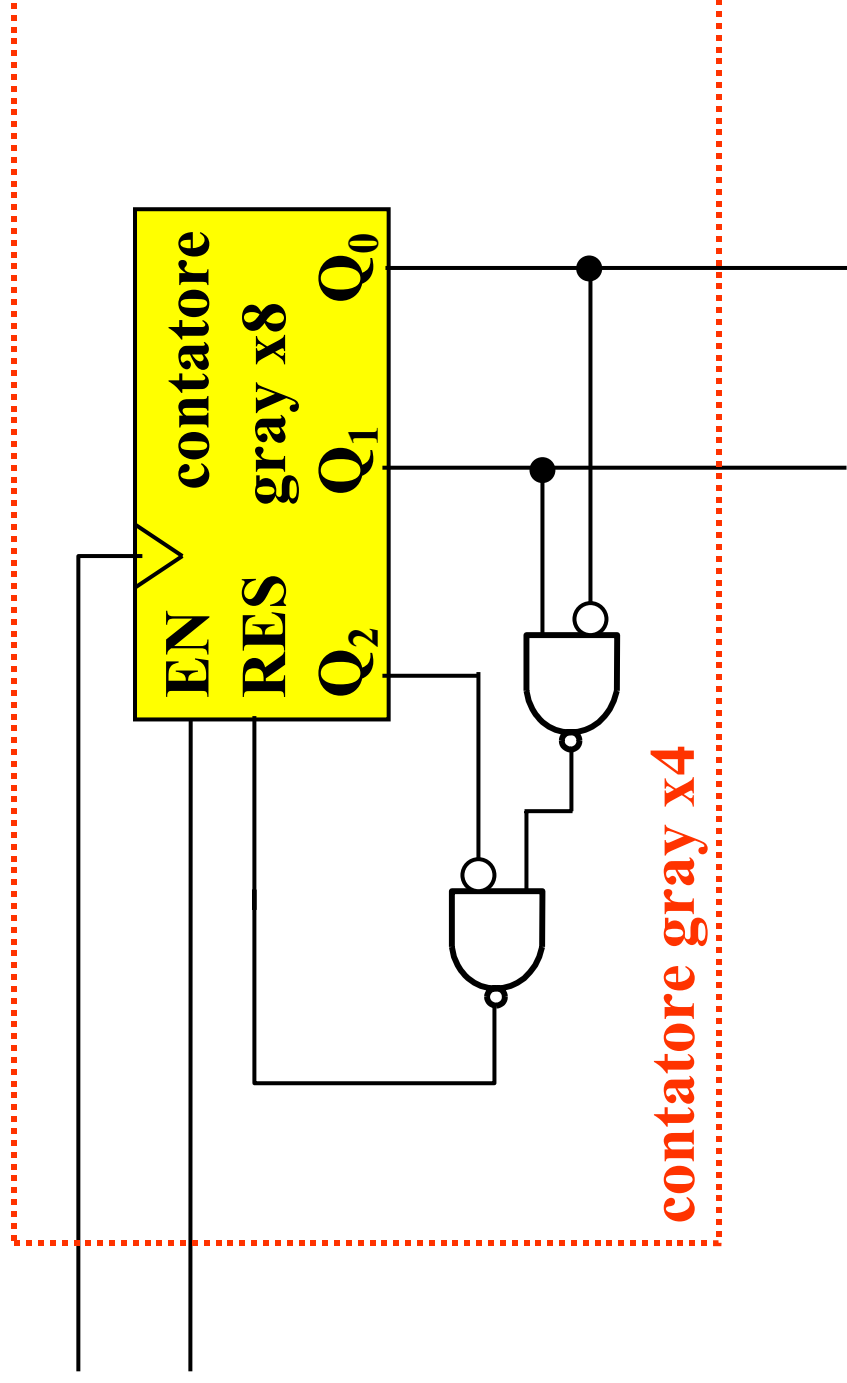
RESET

$$\text{RESET} = Q_2 + Q_1 Q_0'$$

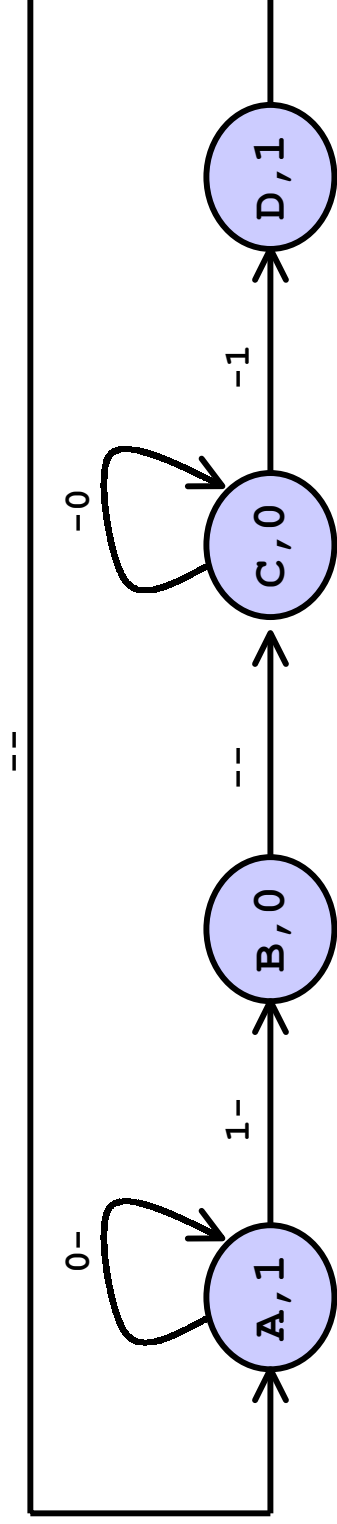


$$\text{RESET} = Q_2' \uparrow (Q_1 \uparrow Q_0')$$

Schema logico del contatore per 4 ottenuto a partire dal contatore per 8:

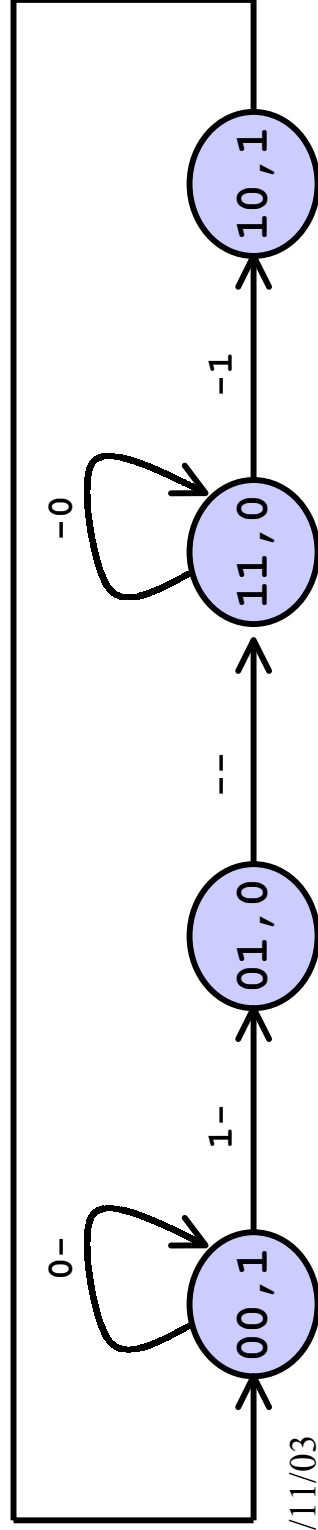


- Diagramma degli stati della RSS (sugli archi sono indicati i due ingressi SR):



- Realizzazione della RSS con il contatore gray per 4 :

Codifica degli stati: A=00, B=01, C=11, D=10



Mappe di Karnaugh e sintesi minima SP di ENABLE e Z

SR		00	01	11	10
		00	0	0	1
Q ₁ Q ₀	01	1	1	-	-
	11	0	1	1	0
	10	1	1	1	1

ENABLE



$$\text{ENABLE} = Q_1' Q_0 + Q_1 Q_0' + Q_1' S + Q_0 R$$

(oppure $Q_1' Q_0 + Q_1 Q_0' + Q_1' S + Q_1 R$
oppure $Q_1' Q_0 + Q_1 Q_0' + Q_0' S + Q_0 R$
oppure $Q_1' Q_0 + Q_1 Q_0' + Q_0' S + Q_1 R$)

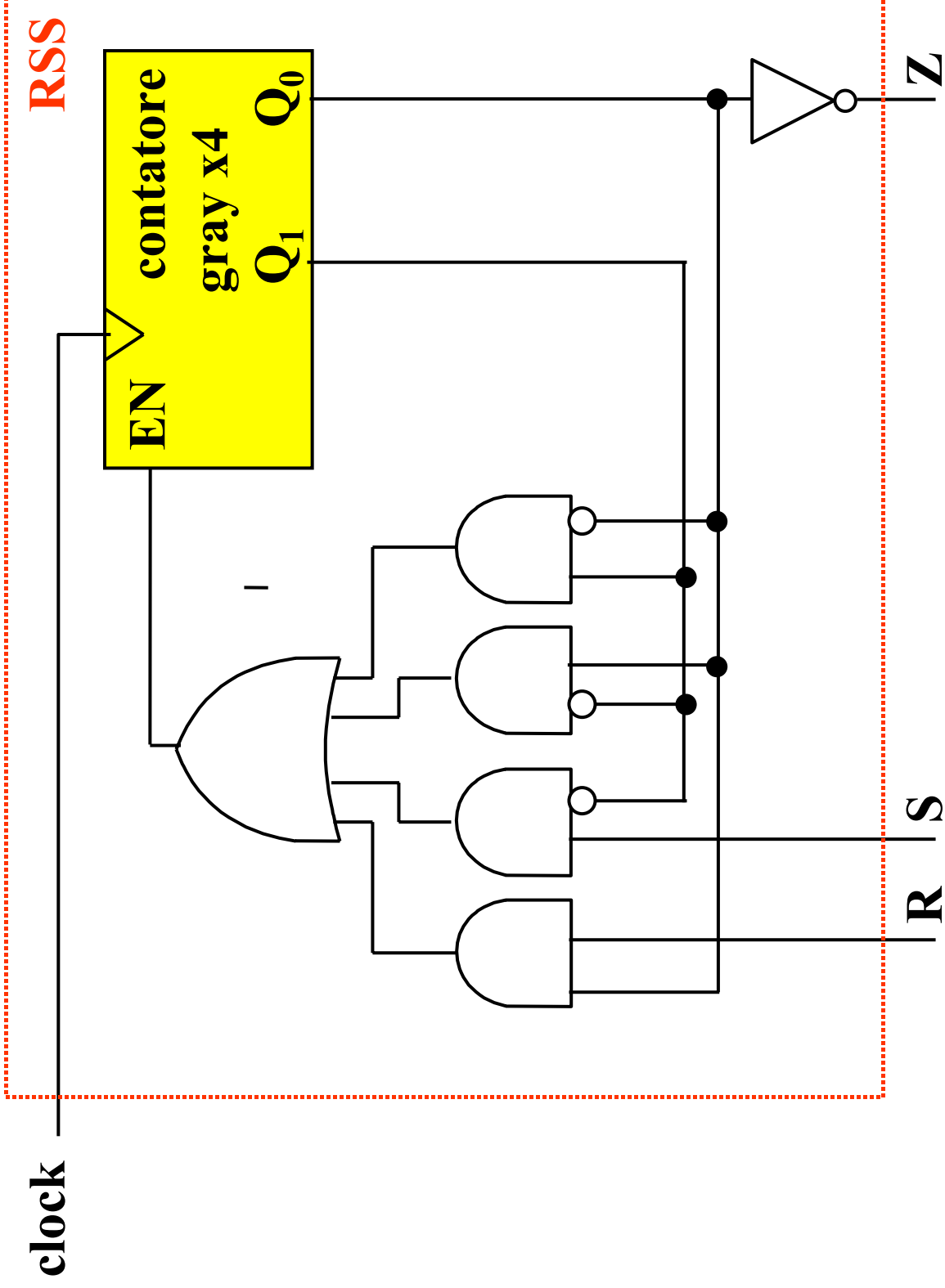
Q ₁		0	1
		0	1
Q ₀	1	1	0

Z



$$Z = Q_0'$$

Schema logico della RSS:



Esercizio 10

Si esegua la sintesi di una rete sequenziale sincrona avente due ingressi, x ed y , ed una uscita, z . L'uscita z deve prontamente andare a 1 ogni qual volta il segnale y assume la sequenza "11x", cioè quando y vale 1 per due clock consecutivi e poi, nel terzo clock, assume lo stesso valore di x . In tutte le altre situazioni l'uscita z deve rimanere a 0. La figura seguente mostra a titolo di esempio un possibile andamento dei segnali x e y ed il corrispondente andamento di z :

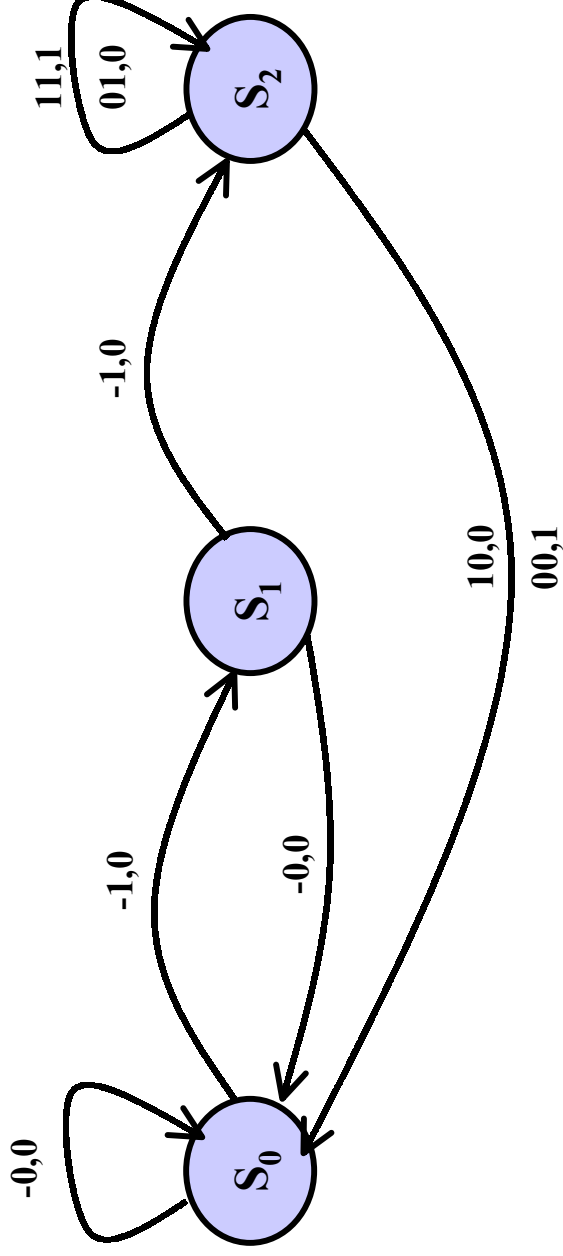
x	-	-	1	1	0	1	-	-	0	-
y	0	1	1	1	1	0	0	1	0	1
z	0	0	0	1	0	0	0	0	1	0

A tale scopo:

- Si disegni il diagramma degli stati della rete.
- A partire dal diagramma degli stati ottenuto al punto precedente si ricavino la tabella di flusso e la tabella delle transizioni.
- Si dica se il comportamento della rete segue il modello di Mealy oppure il modello di Moore, motivando in modo chiaro e sintetico la risposta fornita.
- Si ricavino le espressioni minime SP delle funzioni d'uscita e di stato futuro utilizzando il metodo grafico delle mappe di Karnaugh e mostrando chiaramente i raggruppamenti rettangolari associati ai termini presenti nelle espressioni.
- A partire dalle espressioni minime SP ricavate al punto precedente si disegni lo schema logico della rete.

Soluzione

- Diagramma degli stati (sui rami sono indicati x, y, z)



• **Tabella di Flusso**

Stato Presente	$xy = 00$	$xy = 01$	$xy = 11$	$xy = 10$
S_0	$S_0, 0$	$S_1, 0$	$S_1, 0$	$S_0, 0$
S_1	$S_0, 0$	$S_2, 0$	$S_2, 0$	$S_0, 0$
S_2	$S_0, 1$	$S_2, 0$	$S_2, 1$	$S_0, 0$

Stato Futuro, Uscita

• **Tabella delle Transizioni**

$(Q_1 Q_0)^n$	$(xy)^n = 00$	$(xy)^n = 01$	$(xy)^n = 11$	$(xy)^n = 10$
$S_0=00$	$00, 0$	$01, 0$	$01, 0$	$00, 0$
$S_1=01$	$00, 0$	$11, 0$	$11, 0$	$00, 0$
$S_2=11$	$00, 1$	$11, 0$	$11, 1$	$00, 0$
10	--, --	--, --	--, --	--, --

• **Modello di Mealy/Moore:** il comportamento della rete segue il modello di Mealy poiché l'uscita dipende sia dallo stato sia dall'ingresso. Difatti, nello stato S_2 se l'ingresso è 00 oppure 11 l'uscita vale 1, se invece l'ingresso è 01 oppure 10 l'uscita vale 0.

• **Espressioni minime SP delle funzioni d'uscita e di stato futuro:**

	$(xy)^n$			
	00	01	11	10
$(Q_1 Q_0)^n$	00	0	0	0
	01	0	1	1
	11	0	1	1
	10	-	-	-

Q_1^{n+1}



$$Q_1^{n+1} = (Q_0 y)^n$$

	$(xy)^n$			
	00	01	11	10
$(Q_1 Q_0)^n$	00	0	1	1
	01	0	1	1
	11	0	1	1
	10	-	-	-

Q_0^{n+1}



$$Q_0^{n+1} = (y)^n$$

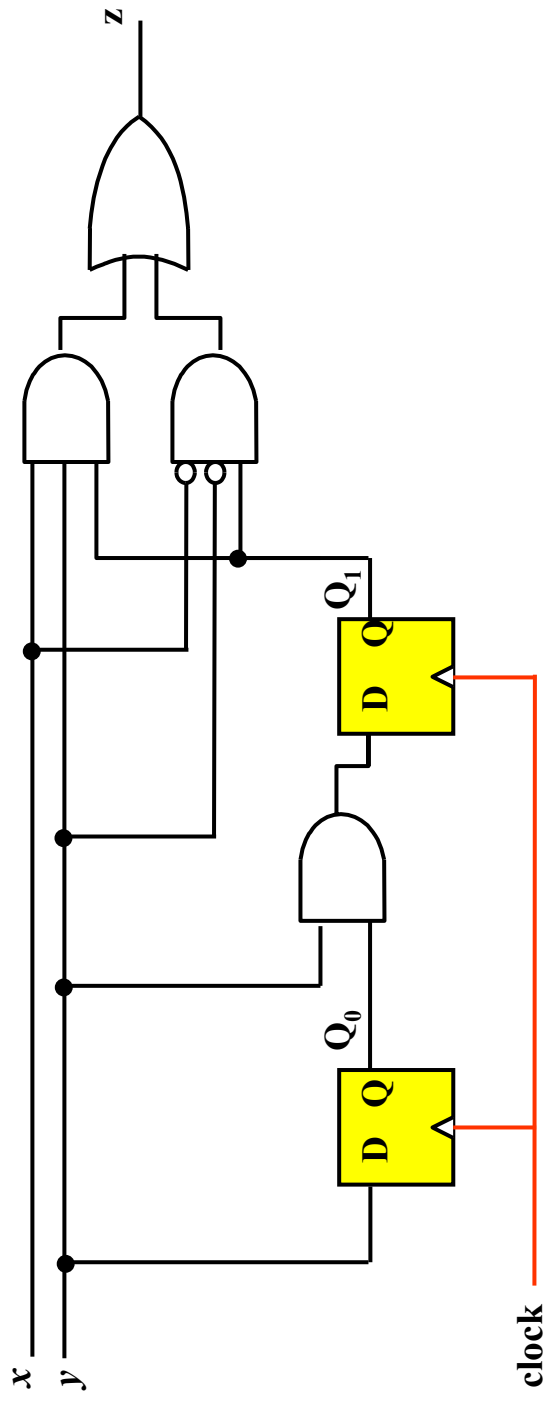
	$(xy)^n$			
	00	01	11	10
$(Q_1 Q_0)^n$	00	0	0	0
	01	0	0	0
	11	1	0	1
	10	-	-	-

z^n



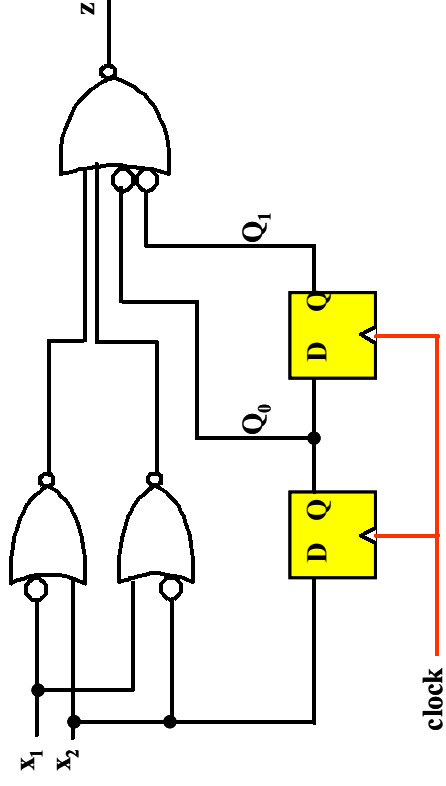
$$z^n = (Q_1 x' y' + Q_1 x y)^n$$

- Schema logico della rete



Esercizio 11

Si esegua l'analisi della rete sequenziale sincrona mostrata in figura:



- A tale scopo:
- Si scrivano le espressioni a NOR delle variabili di stato futuro (Q_0^{n+1} , Q_1^{n+1}) e dell'uscita (z^n) e si ricavano poi le corrispondenti espressioni normali PS.
 - A partire dalle espressioni PS ottenute al punto precedente si ricavi la tabella delle transizioni.
 - Nella tabella delle transizioni ricavata al punto precedente si individuino la coppia di stati equivalenti.
 - Si disegni il diagramma degli stati che si ottiene sostituendo la coppia di stati equivalenti con un'unico stato.
 - Analizzando il diagramma degli stati si descriva a parole in modo chiaro e sintetico il comportamento della rete.

Soluzione

- Espressioni a NOR ed espressioni PS dell'uscita e delle variabili di stato futuro:

$$(Z)^n = ((x_1' \downarrow x_2) \downarrow (x_1 \downarrow x_2')) \downarrow Q_0' \downarrow Q_1^n \quad (\text{espressione a NOR dell'uscita})$$

$$(Z)^n = (((x_1' \downarrow x_2) + (x_1 \downarrow x_2')) + Q_0' + Q_1')^n$$

$$(Z)^n = ((x_1' \downarrow x_2)') \cdot (x_1 \downarrow x_2)' \cdot (Q_0')' \cdot (Q_1')^n$$

$$(Z)^n = ((x_1' \downarrow x_2)') \cdot (x_1 \downarrow x_2)' \cdot (Q_0')' \cdot (Q_1')^n$$

$$(Z)^n = (((x_1' + x_2)')') \cdot ((x_1 + x_2)')' \cdot (Q_0')' \cdot (Q_1')^n$$

$$(Z)^n = ((x_1' + x_2) \cdot (x_1 + x_2')) \cdot Q_0 \cdot Q_1^n \quad (\text{espressione PS dell'uscita})$$

$$(Q_0)^{n+1} = (x_2)^n$$

$$(Q_1)^{n+1} = (Q_0)^n$$

(espressioni delle variabili di stato futuro)

• **Tabella delle Transizioni e stati equivalenti**

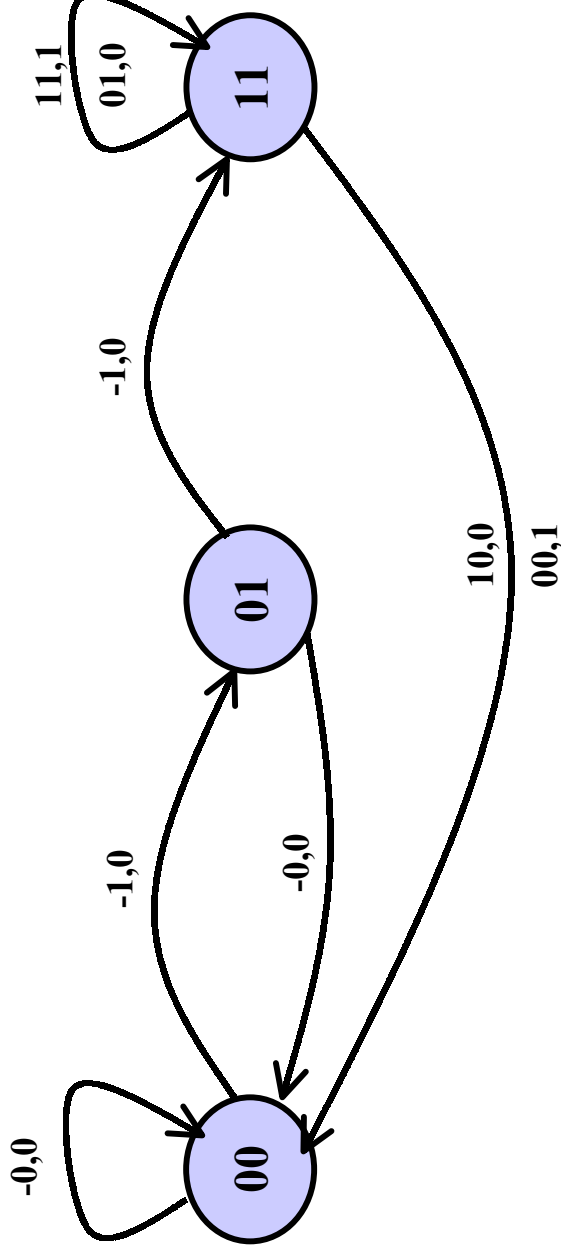
$(Q_1 Q_0)^n$	$(x_1 x_2)^n = 00$	$(x_1 x_2)^n = 01$	$(x_1 x_2)^n = 11$	$(x_1 x_2)^n = 10$
00	00, 0	01, 0	01, 0	00, 0
01	10, 0	11, 0	11, 0	10, 0
11	10, 1	11, 0	11, 1	10, 0
10	00, 0	01, 0	01, 0	00, 0

**stati
equivalenti**

$(Q_1 Q_0)^{n+1}, z^n$

- Diagramma degli stati

Sostituendo la coppia di stati equivalenti $\{00,10\}$ con lo stato 00 si ottiene il seguente diagramma degli stati:



- Comportamento della rete

Analizzando il diagramma degli stati ricavato al punto precedente si osserva facilmente che esso è identico a quello ottenuto nell'Esercizio precedente. Conseguentemente, il comportamento della rete da analizzare può essere descritto come segue: dati gli ingressi x_1, x_2 la rete fornisce uscita 1 quando sull'ingresso x_2 si presenta la sequenza "11 x_1 ".

Soluzione

- Espressioni a NOR ed espressioni PS delle variabili di stato futuro e dell'uscita:

$$Y_1 = (x' \downarrow y_1) \downarrow (y_1 \downarrow y_2) \downarrow (x \downarrow y_2)$$

$$Y_2 = (x \downarrow y_2) \downarrow (x' \downarrow y_1') \downarrow (y_1' \downarrow y_2)$$

$$Y_1 = (x' + y_1) \cdot (y_1 + y_2) \cdot (x + y_2)$$

$$Y_2 = (x + y_2) \cdot (x' + y_1') \cdot (y_1' + y_2)$$

$Z = Y_2'$

- Tabella delle transizioni e situazioni di stabilità :



		x	
		0	1
$y_1 y_2$	00	00,1	01,1
	01	11,0	10,0
	11	11,0	10,0
	10	00,1	10,1

- **Comportamento della rete**

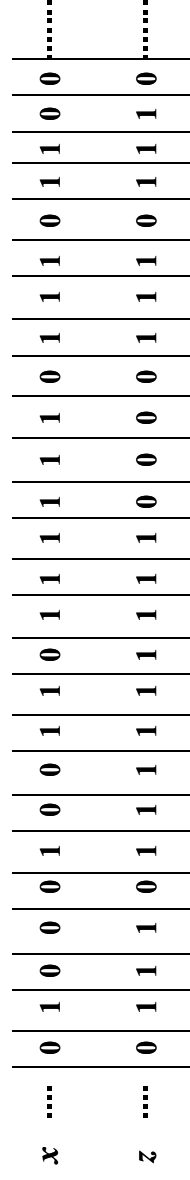
Analizzando la tabella delle transizioni si osserva che l'uscita z cambia valore ad ogni fronte di salita dell'ingresso x (*vedi comportamento studiato a lezione per la lampada da tavolo*). Difatti con $x=0$ l'uscita può valere 1 (stato stabile 00) oppure 0 (stato stabile 11). In entrambi i casi se poi $x=1$ (fronte di salita) la rete evolve verso un'altro stato stabile in cui l'uscita è differente (rispettivamente 01 con uscita 0 e 10 con uscita 1). Da entrambi gli stati stabili con $x=1$ è necessario che x torni a 0 affinché si possa poi avere, al nuovo fronte di salita di x , una nuova variazione dell'uscita.

- **Vincolo di progetto**

Le espressioni delle variabili di stato futuro derivano da una copertura ridondante degli zeri. Tale copertura fa sì che non esistano zeri adiacenti non racchiusi in uno stesso raggruppamento rettangolare. Ciò garantisce l'assenza di alee statiche nelle reti che realizzano le funzioni di stato futuro.

Esercizio 13

Si esegua la sintesi di una rete sequenziale sincrona avente un ingresso, x , ed una uscita, z . La rete ha la funzione di "normalizzare" la durata degli impulsi al livello logico "1" dell'ingresso x . Più precisamente, a fronte di impulsi dell'ingresso x aventi durata qualsiasi la rete deve generare sull'uscita z degli impulsi aventi durata sempre pari a 3 clock. Al fine di garantire che la rete possa rilevare tutti gli impulsi al livello logico "1" di x , si fa l'ipotesi che un impulso al livello logico "1" di x di durata pari a 1 clock sia sempre seguito da almeno due clock in cui x vale "0" e che un impulso al livello logico "1" di x di durata pari a 2 clock sia sempre seguito da almeno un clock in cui x vale "0". La figura seguente completa la descrizione del comportamento della rete da sintetizzare:

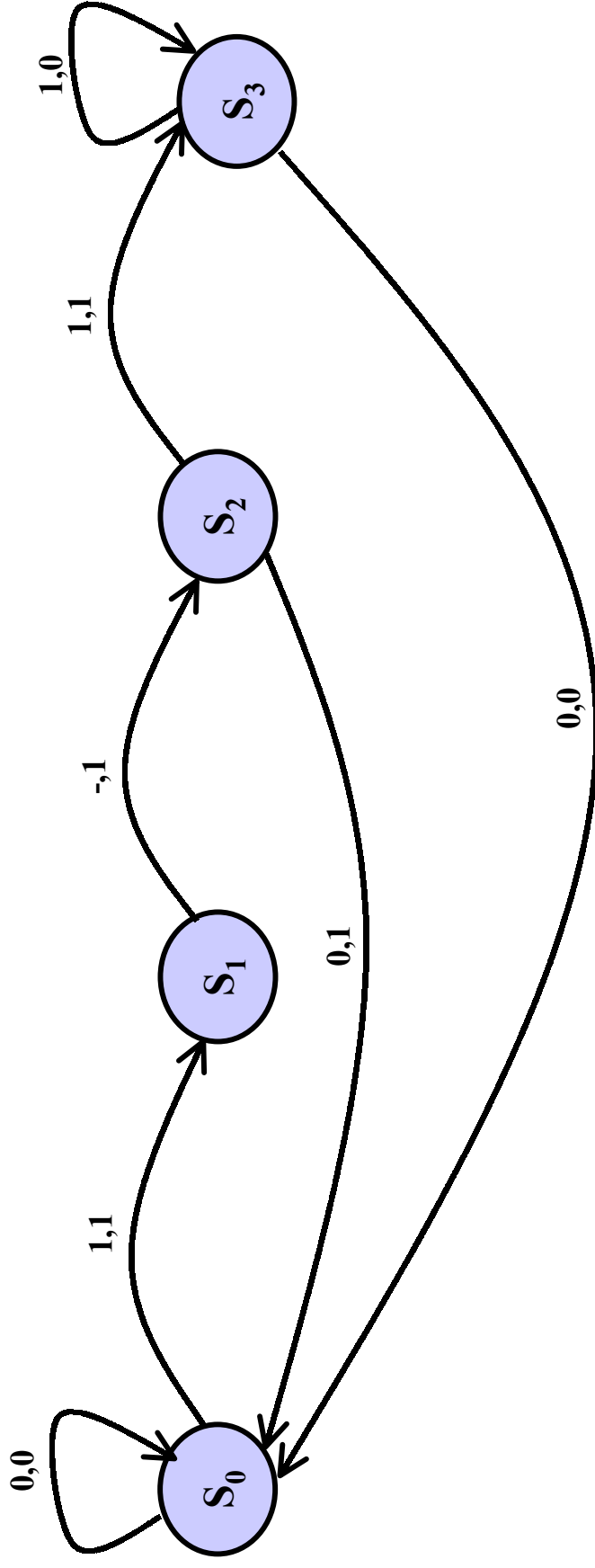


Si disegni il diagramma degli stati della rete.

- A partire dal diagramma degli stati ottenuto al punto precedente si ricavino la tabella di flusso e la tabella delle transizioni.
- Si ricavano le espressioni minime SP delle funzioni d'uscita e di stato futuro utilizzando il metodo grafico delle mappe di Karnaugh e mostrando chiaramente i raggruppamenti rettangolari associati ai termini presenti nelle espressioni.
- A partire dalle espressioni minime SP ricavate al punto precedente si disegni lo schema logico della rete.

Soluzione

- Diagramma degli stati (sui rami sono indicati x, z)



• **Tabella di Flusso**

Stato Presente	$x = 0$	$x = 1$
S_0	$S_{0,0}$	$S_{1,1}$
S_1	$S_{2,1}$	$S_{2,1}$
S_2	$S_{0,1}$	$S_{3,1}$
S_3	$S_{0,0}$	$S_{3,0}$

Stato Futuro, Uscita

• **Tabella delle Transizioni**

$(Q_1 Q_0)^n$	$(x)^n = 0$	$(x)^n = 1$
$S_0=00$	$00,0$	$01,1$
$S_1=01$	$10,1$	$10,1$
$S_2=10$	$00,1$	$11,1$
$S_3=11$	$00,0$	$11,0$

$$(Q_1 Q_0)^{n+1}, z^n$$

- Espressioni minime SP delle funzioni d'uscita e di stato futuro:

*Tabella delle transizioni strutturata
come una mappa di Karnaugh*

$(Q_1 Q_0)^n$		00	01	11	10
		00,0	10,1	00,0	00,1
$(x)^n$		0	00,0	10,1	00,0
		1	01,1	10,1	11,0

$(Q_1 Q_0)^{n+1}, z^n$

$(Q_1 Q_0)^n$		00	01	11	10
		0	0	1	0
$(x)^n$		0	0	1	0
		1	0	1	1

Q_1^{n+1}

$$Q_1^{n+1} = (Q_1' Q_0 + x Q_1)^n$$

6/11/03

$(Q_1 Q_0)^n$		00	01	11	10
		0	0	0	0
$(x)^n$		0	0	0	0
		1	1	0	1

Q_0^{n+1}

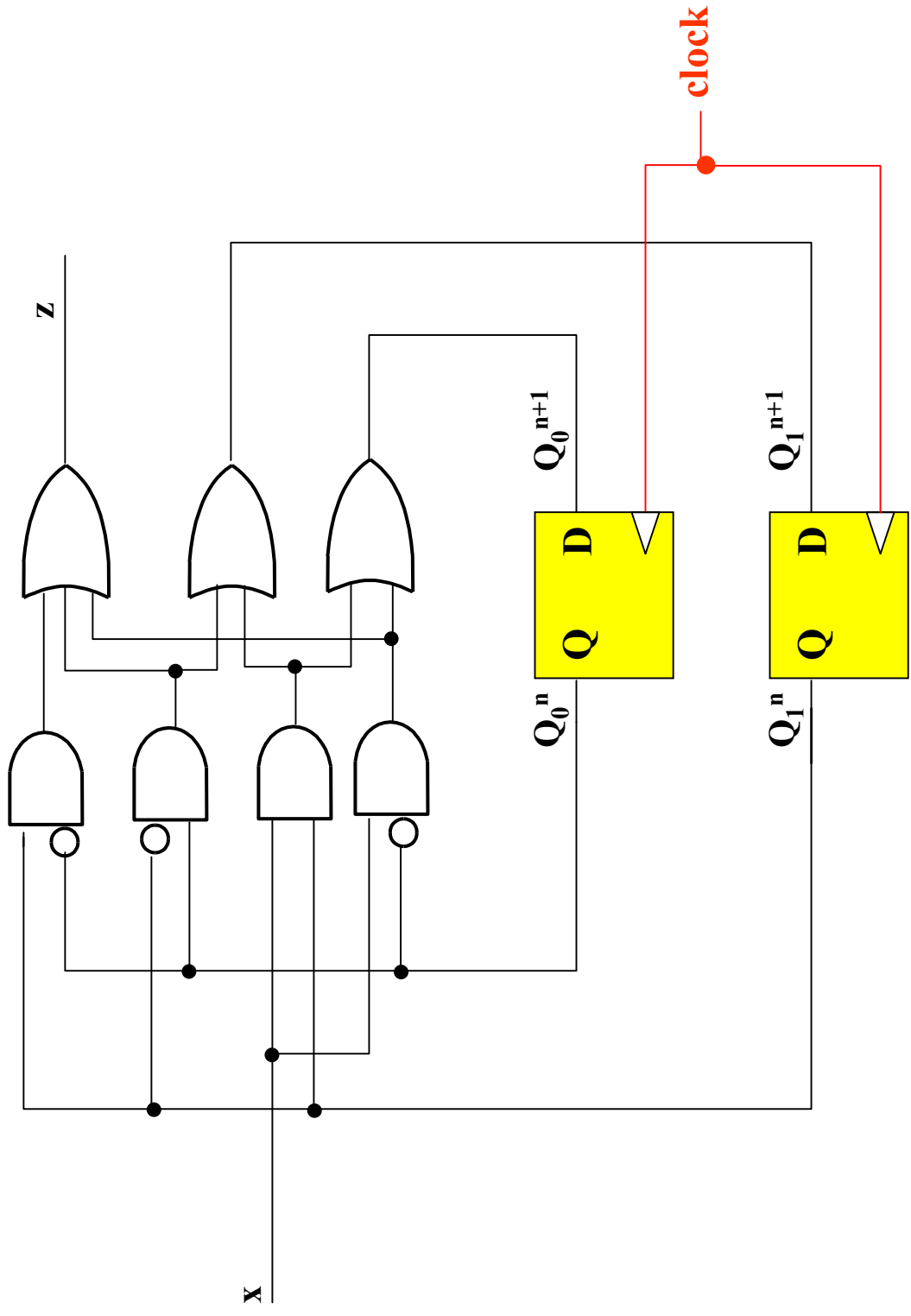
$$Q_0^{n+1} = (x Q_0' + x Q_1)^n$$

$(Q_1 Q_0)^n$		00	01	11	10
		0	0	1	0
$(x)^n$		0	0	1	0
		1	1	1	0

z^n

$$z^n = (x Q_0' + Q_1' Q_0 + Q_1 Q_0')^n$$

• Schema logico della rete



Esercizio 14

- Si vuole realizzare lo stesso comportamento della rete dell'Esercizio precedente (Esercizio 13) utilizzando un contatore binario per n dotato di ingressi di EN (Enable) e RES (Reset).
- Si spieghi quale valore di n è opportuno utilizzare per la realizzazione (ricordando che nei contatori binari $n=2^k$) e si indichi la codifica degli stati utilizzata (cioè la corrispondenza fra gli stati della rete e quelli del contatore).
 - Si mostrino le mappe delle funzioni EN, RES e z che consentono di ottenere il comportamento desiderato.
 - Si disegni lo schema logico della rete indicando con una "black-box" la rete combinatoria che realizza le funzioni EN, RES e z.

Soluzione

- Tipo di contatore e codifica degli stati

Poichè la rete ha 4 stati è opportuno utilizzare un contatore binario per 4 (quindi $n=4$). Si codificano poi gli stati S_0, S_1, S_2 ed S_3 con le configurazioni binarie 00, 01, 10 e 11 (si tratta della stessa codifica adottata nell'Esercizio precedente).

- Mappe delle funzioni EN, RES e z

$(Q_B Q_A)^n$		$(x)^n$				$(Q_B Q_A)^n$				z^n			
		00	01	11	10	00	01	11	10				
0	-	0	1	-/1	-	0	1	1/-	0	0	1	0	1
	1	1	1	0	1	1	0	0	0	1	1	0	1
		EN^n				RES^n							

Con questa notazione si indica che nella configurazione $x=0 Q_1 Q_0=00$ è possibile ottenere il comportamento desiderato (permanenza nello stato 00) con $EN = -$ e $RES=1$ oppure con $EN=0$ e $RES = -$

Con questa notazione si indica che nella configurazione $x=0 Q_1 Q_0=11$ è possibile ottenere il comportamento desiderato (transizione verso lo stato 00) con $EN = -$ e $RES=1$ oppure con $EN=1$ e $RES = -$

- Schema logico della rete

