

Nell'aritmetica modulare l'espressione $(X+Y) \bmod M$ (con X, Y, M numeri interi) fornisce il resto della divisione per M della somma tra X e Y .

Vale inoltre la proprietà $(X+Y) \bmod M = (X \bmod M + Y \bmod M) \bmod M$. Nel caso di addendi già minori di M , il calcolo della loro somma modulo M richiede dapprima un'addizione e poi, se il risultato è maggiore o uguale a M , la sottrazione di M .

DOMANDA N.1 (PUNTI 1) – Siano X, Y numeri binari di 2 bit ciascuno.

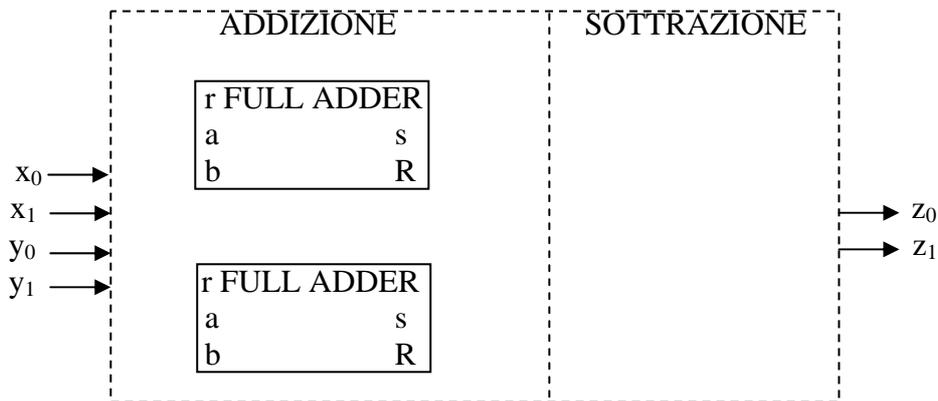
		X			
		00	01	10	11
Y	00				
	01				
	10				
	11				
		$Z = X+Y \bmod 4$			

Tabulare la loro somma modulo 4.

La rete logica con questo comportamento è COMBINATORIA
 SEQUENZIALE

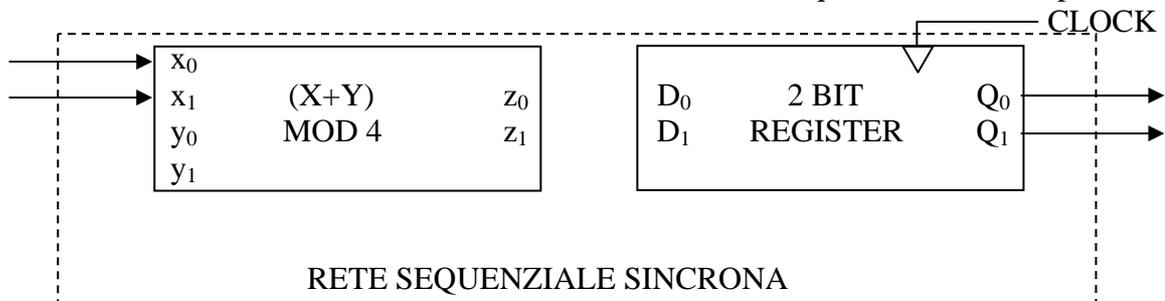
Perché? _____

DOMANDA N.2 (PUNTI 2) – Completando il sottostante schema, individuare la più **semplice** struttura in grado di calcolare $(X+Y) \bmod 4$ a partire da due FULL ADDER.



I due blocchi FULL ADDER devono essere disposti IN SERIE
 IN PARALLELO
 IN RETROAZIONE

DOMANDA N.3 (PUNTI 2) – Agli ingressi x_0, x_1 del SOMMATORE MOD 4 sono connessi due segnali sincroni; sia X^i il numero da essi trasportato nel generico intervallo "i". Completare il sottostante schema in modo da sommare modulo 4 il valore di X^i con tutti quelli che l'hanno preceduto.



Considerando il comportamento della RETE SEQUENZIALE SINCRONA nei soli tre intervalli $i-2, i-1, i$, si esprima la dipendenza di Q^i dai valori assunti da X .

$Q^i =$ _____

DOMANDA N.4 (PUNTI 1) – Nell’aritmetica modulare si definisce inverso additivo modulo M di un numero N il più piccolo intero X tale che $(N+X) \bmod M = 0$. Tabulare $-N \bmod 4$ per ogni numero binario N di due bit:

N:	00	01	10	11
-N:	—	—	—	—

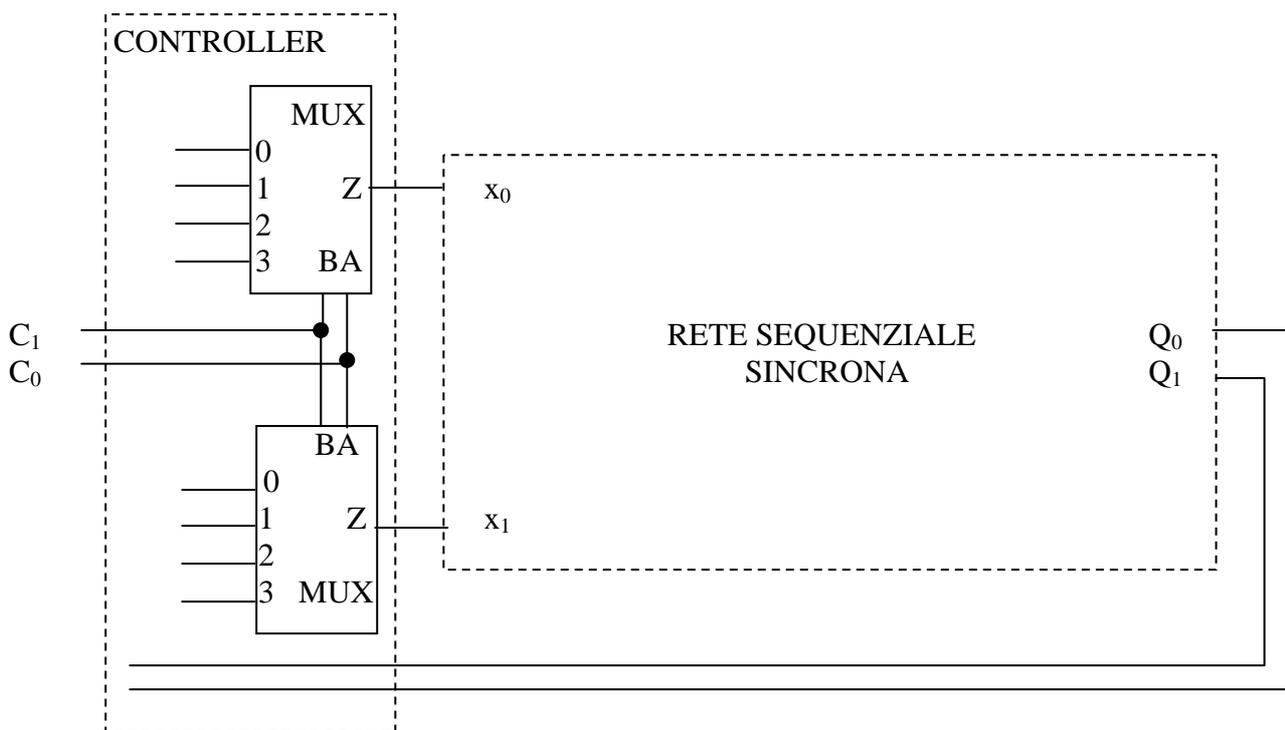
DOMANDA N.5 (PUNTI 3) - Un Controller, in grado di osservare le uscite Q_1, Q_0 della RETE SEQUENZIALE SINCRONA, fornisce gli ingressi x_0, x_1 necessari per imporle uno dei seguenti quattro possibili comportamenti:

- Azzeramento: $Q^{i+1} = 0$
- Mantenimento: $Q^{i+1} = Q^i$
- Incremento: $Q^{i+1} = (Q^i + 1) \bmod 4$
- Decremento: $Q^{i+1} = (Q^i - 1) \bmod 4$

Due segnali sincroni $C_1 C_0$ consentono al Controller di specificare il comportamento desiderato:

	C_1	C_0
Azzeramento	0	0
Mantenimento	0	1
Incremento	1	0
Decremento	1	1

La generazione dei segnali $x_0 = F_0(C_1 C_0 Q_1 Q_0)$, $x_1 = F_1(C_1 C_0 Q_1 Q_0)$ deve essere affidata a due MUX con 2 bit d’indirizzo e 4 vie d’ingresso. Sulle vie d’ingresso può essere connessa, a seconda delle necessità, o una costante, o una variabile, o l’uscita di un gate. Completare lo schema.



DOMANDA N.6 (PUNTI 1) - Individuare la più breve sequenza di comandi che consente di attribuire alla RETE SEQUENZIALE SINCRONA lo stato interno 11, qualsiasi sia lo stato di partenza.

$C_1 C_0$: _____