

SOLUZIONE ESERCIZIO N. 1 – PAGINA 1

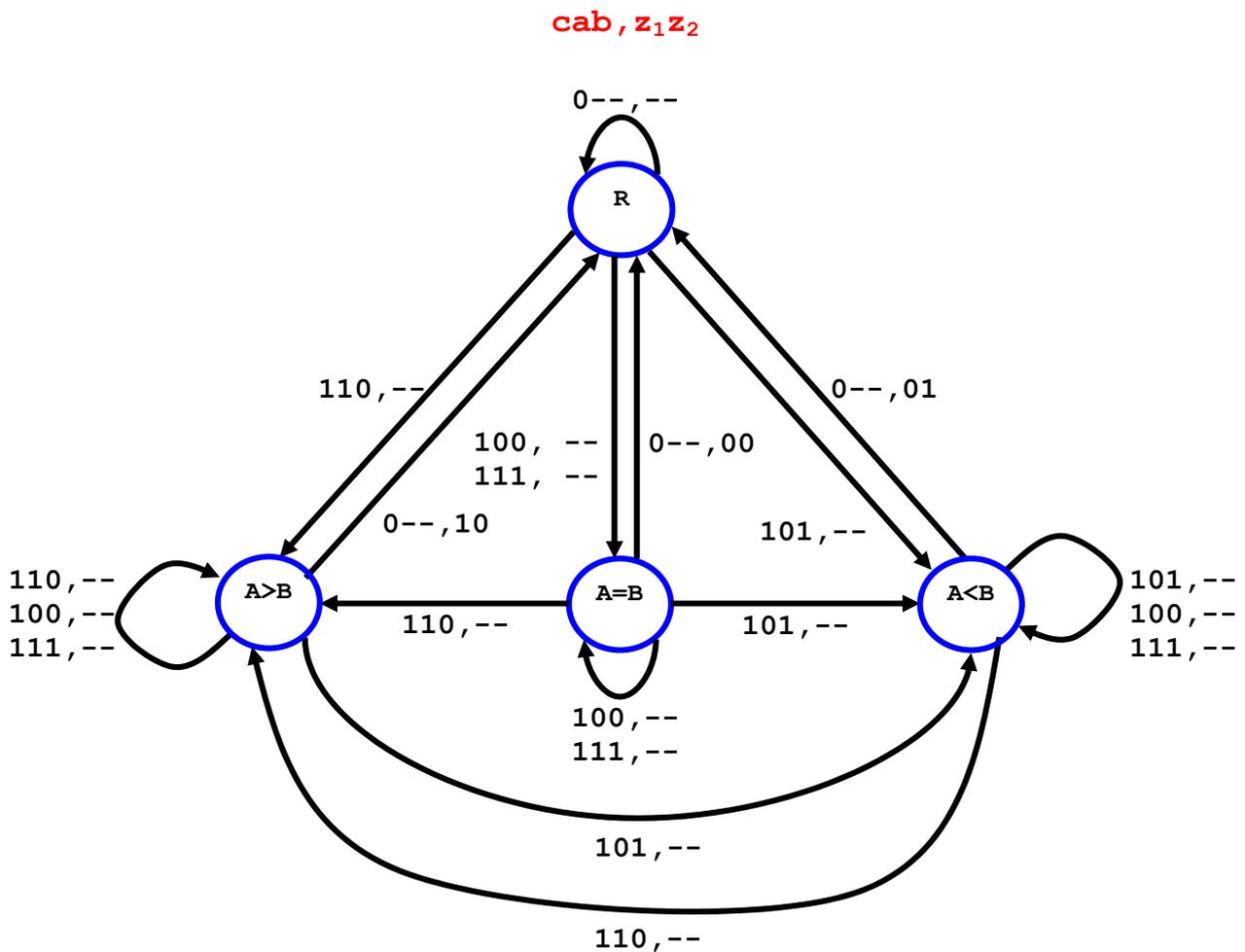
Una RSS è dotata di 3 segnali d'ingresso **a**, **b**, **c**.

- quando **c = 1**, i segnali **a** e **b** introducono nella rete, uno dopo l'altro, i coefficienti di due numeri binari **A** e **B** a partire dal bit di minor peso;
- quando **c = 0**, i valori di **a** e di **b** non hanno per la rete alcun significato.

Nel **primo intervallo elementare in cui $c=0$** , la rete deve comunicare sulle uscite z_1, z_2 se, nel precedente intervallo $c = 1$, **A** è risultato essere maggiore ($z_1 = 1, z_2 = 0$), uguale ($z_1 = 0, z_2 = 0$) o minore di **B** ($z_1 = 0, z_2 = 1$).

In **ogni altro intervallo elementare** la risposta fornita dalla rete non è presa in considerazione e può dunque essere fissata arbitrariamente.

DOMANDA N. 1 (PUNTI 3) – Tracciare il grafo degli stati e la tabella delle transizioni



SOLUZIONE ESERCIZIO N. 1 – PAGINA 2

$(cab)^n$

stato ⁿ	000	001	011	010	100	101	111	110
R	R,--	R,--	R,--	R,--	A=B,--	A<B,--	A=B,--	A>B,--
A>B	R,10	R,10	R,10	R,10	A>B,--	A<B,--	A>B,--	A>B,--
A=B	R,00	R,00	R,00	R,00	A=B,--	A<B,--	A=B,--	A>B,--
A<B	R,01	R,01	R,01	R,01	A<B,--	A<B,--	A<B,--	A>B,--

$stato^{n+1}, (z_1z_2)^n$

DOMANDA N. 2 (PUNTI 2)– Individuare il motivo per cui la tabella può essere ridotta a soli tre stati e tracciare la corrispondente tabella delle transizioni codificando gli stati in modo da rendere minimo il costo della rete combinatoria d’uscita.

MOTIVO: Gli stati **R** e **A=B** sono equivalenti. Si utilizza la seguente codifica degli stati in modo da far coincidere l’uscita con lo stato presente $z_2 = y_2$ e $z_1 = y_1$.

TABELLA:

$(cab)^n$

stato	$(y_1y_2)^n$	000	001	011	010	100	101	111	110
A=B	00	00,00	00,00	00,00	00,00	00,--	01 ,--	00,--	10 ,--
A<B	01	00 ,01	00 ,01	00 ,01	00 ,01	01,--	01,--	01,--	10 ,--
A>B	10	00 ,10	00 ,10	00 ,10	00 ,10	10,--	01 ,--	10,--	10,--
	11	--,--	--,--	--,--	--,--	--,--	--,--	--,--	--,--

$(y_1y_2)^{n+1}, (z_1z_2)^n$

ESERCIZIO N. 1 – PAGINA 2

DOMANDA N. 3 (PUNTI 3) – Sulle retroazioni della rete devono essere impiegati flip-flop JK. Individuare le espressioni NAND di costo minimo dei quattro comandi.

$(c=0, ab)^n$

$(y_1y_2)^n$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	-	-	-	-
10	-	-	-	-

$(c=1, ab)^n$

	00	01	11	10
	0	0	0	1
	0	0	0	1
	-	-	-	-
	-	-	-	-

$$J_1^n = cab' = (c \uparrow a \uparrow b') \uparrow 1$$

$(c=0, ab)^n$

$(y_1y_2)^n$	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	-	-	-	-
10	1	1	1	1

$(c=1, ab)^n$

	00	01	11	10
	-	-	-	-
	-	-	-	-
	-	-	-	-
	0	1	0	0

$$K_1^n = c' + a'b = c \uparrow (a' \uparrow b)$$

SOLUZIONE ESERCIZIO N. 1 – PAGINA 3

 $(c=0, ab)^n$

$(y_1y_2)^n$	00	01	11	10
00	0	0	0	0
01	-	-	-	-
11	-	-	-	-
10	0	0	0	0

 $(c=1, ab)^n$

00	01	11	10
0	1	0	0
-	-	-	-
-	-	-	-
0	1	0	0

$$J_2^n = ca'b = (c \uparrow a' \uparrow b) \uparrow 1$$

 $(c=0, ab)^n$

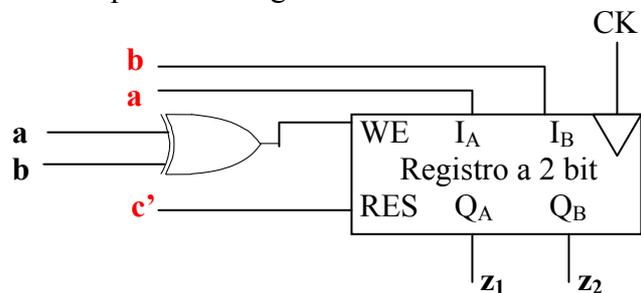
$(y_1y_2)^n$	00	01	11	10
00	-	-	-	-
01	1	1	1	1
11	-	-	-	-
10	-	-	-	-

 $(c=1, ab)^n$

00	01	11	10
-	-	-	-
0	0	0	1
-	-	-	-
-	-	-	-

$$K_2^n = c' + ab' = c \uparrow (a \uparrow b')$$

DOMANDA N. 4 (PUNTI 3) – In figura è mostrata una più semplice realizzazione della rete. Individuare e giustificare cosa occorre sostituire ai tre punti interrogativi.



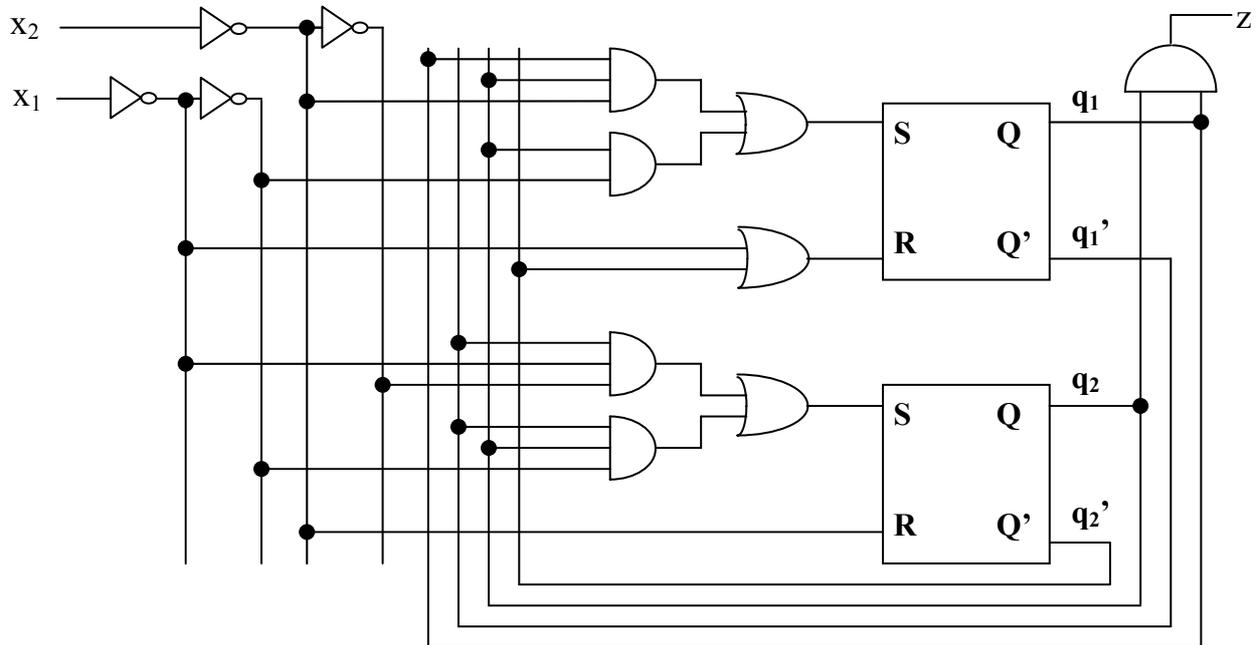
Se $a^n \neq b^n$: poiché $2^n > 2^{n-1} + \dots + 2^1 + 2^0$, ad ogni clock nel registro a 2 bit deve essere memorizzato lo stato identificato dal risultato del confronto tra due bit a^n e b^n ($Q_A^{n+1}Q_B^{n+1} = b^n a^n$).

Se $b^n = a^n$ viene mantenuto lo stato precedentemente memorizzato nel registro ($Q_A^{n+1}Q_B^{n+1} = Q_A^n Q_B^n$).

Inoltre, il registro deve essere resettato ($RES=1$) nell'intervallo successivo al verificarsi di $c=0$.

SOLUZIONE ESERCIZIO N. 2 – Pagina 1

Si esegua l'analisi della rete sequenziale asincrona mostrata in figura:



DOMANDA N.1 (PUNTI 2) - Si scrivano le espressioni SP delle funzioni che comandano gli ingressi dei latch S-R e dell'uscita.

$$S_1 = q_1 q_2 x_2' + q_2 x_1$$

$$R_1 = x_1' + q_2'$$

$$S_2 = q_1' x_1' x_2 + q_1' q_2 x_1$$

$$R_2 = x_2'$$

$$Z = q_1 q_2$$

DOMANDA N.2 (PUNTI 3) - A partire dalle espressioni SP ottenute al punto precedente si ricavino le corrispondenti mappe di Karnaugh indicando chiaramente i raggruppamenti rettangolari.

q ₁ q ₂		x ₁ x ₂			
		00	01	11	10
00	0	0	0	0	0
01	0	0	1	1	
11	1	0	1	1	
10	0	0	0	0	

S₁

q ₁ q ₂		x ₁ x ₂			
		00	01	11	10
00	0	1	0	0	
01	0	1	1	1	
11	0	0	0	0	
10	0	0	0	0	

S₂

q ₁ q ₂		x ₁ x ₂			
		00	01	11	10
00	1	1	1	1	
01	1	1	0	0	
11	1	1	0	0	
10	1	1	1	1	

R₁

q ₁ q ₂		x ₁ x ₂			
		00	01	11	10
00	1	0	0	1	
01	1	0	0	1	
11	1	0	0	1	
10	1	0	0	1	

R₂

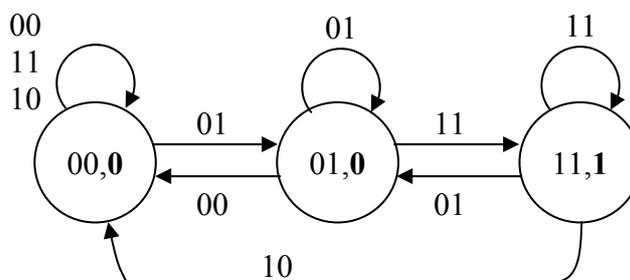
SOLUZIONE ESERCIZIO N. 2 – Pagina 2

DOMANDA N.3 (PUNTI 2) – Utilizzando l'equazione caratteristica in forma SP del latch e l'espressione dell'uscita z si ricavi la tabella delle transizioni

$q_1 q_2$	$x_1 x_2$				z
	00	01	11	10	
00	0 0	0 1	0 0	0 0	0
01	0 0	0 1	1 1	1 1	0
11	1 0	0 1	1 1	1 0	1
10	0 0	0 0	0 0	0 0	0

$Q_1 Q_2$

DOMANDA N.4 (PUNTI 1) – Si tracci il grafo degli stati escludendo eventuali stati e transizioni non utili all'analisi del comportamento



DOMANDA N.5 (PUNTI 1) – Qual è la più breve sequenza di ingressi che garantisce l'attivazione dell'uscita indipendentemente dallo stato di partenza?

01 - 11

DOMANDA N.6 (PUNTI 1) – Osservando le mappe tracciate alla domanda 2, si individui la presenza di configurazioni inappropriate per un latch S-R.

Quali sono queste configurazioni e per quali valori di stato presente ed ingressi ($q_1 q_2 x_1 x_2$) si presentano?

$S=R=1$, per gli ingressi 1100 e 0110

DOMANDA N.7 (PUNTI 1) – Osservando la tabella ed il grafo, dimostrare che la presenza delle configurazioni inappropriate individuate alla domanda precedente non influisce sul comportamento della rete.

Le configurazioni errate si verificano in corrispondenza di configurazioni di ingresso impossibili per ipotesi, in quanto richiederebbero la variazione contemporanea di 2 bit:

- $x_1 x_2 = 10$ a partire dallo stato 01 stabile solo per $x_1 x_2 = 01$
- $x_1 x_2 = 00$ a partire dallo stato 11 stabile solo per $x_1 x_2 = 11$