

Esercizio 1

Gli accessi da parte di due processori P_1 e P_2 ad una risorsa condivisa sono coordinati da una rete sequenziale sincrona (*arbitro*), caratterizzata da due segnali di ingresso R_1 e R_2 (richiesta di accesso da parte di P_1 e P_2), e da due segnali di uscita C_1 e C_2 (consenso all'accesso per P_1 e P_2). In assenza di richieste di accesso, l'arbitro deve mantenere disattivi (livello logico 0) sia C_1 che C_2 . Se un processore presenta una richiesta di accesso allorché la risorsa condivisa è libera, l'arbitro deve prontamente attivare il relativo consenso, confermandolo poi per tutto il tempo di attivazione della richiesta stessa. Se un processore presenta una richiesta di accesso allorché la risorsa non è libera (*conflitto di accesso*), l'arbitro deve fornire il relativo consenso soltanto al completamento dell'accesso in corso. Richieste di accesso contemporanee da parte di P_1 e P_2 , infine, debbono essere gestite dall'arbitro in maniera tale da privilegiare il processore che per ultimo ha dovuto attendere a seguito di un conflitto di accesso. Nell'ipotesi che P_1 e P_2 , una volta attivata una richiesta di accesso, rimangano comunque in attesa del relativo consenso confermando la richiesta stessa, si determini:

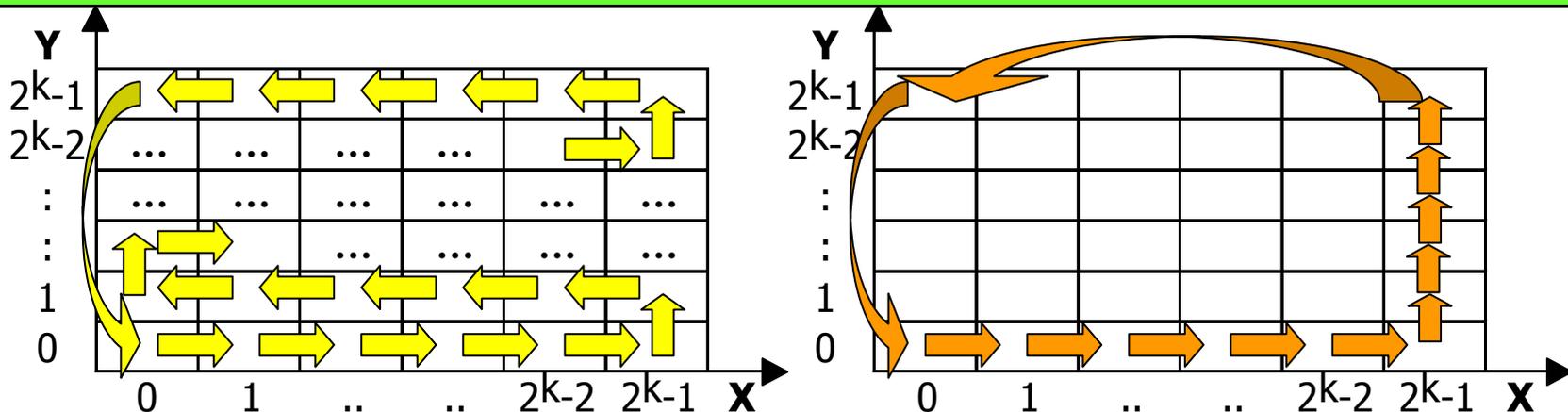
- l'automa minimo dell'arbitro secondo il modello di Moore;
- una possibile realizzazione mediante FF-JK e gate elementari.

Esercizio 2

La posizione di un oggetto nel piano X, Y è definita dalle uscite di 2 contatori binari avanti-indietro (C_x, C_y) aventi base di conteggio 2^k : le uscite x_{k-1}, \dots, x_1, x_0 di C_x stabiliscono il valore della coordinata X , le uscite y_{k-1}, \dots, y_1, y_0 di C_y il valore della coordinata Y . Una rete sequenziale sincrona operante in base allo stesso clock dei contatori ha il compito di gestire i segnali E_x, E_y (secondo il modello di Mealy) e $U_x/D_x', U_y/D_y'$ (secondo il modello di Moore) dei contatori, in modo tale che l'oggetto descriva nel piano X, Y le due traiettorie indicate in figura, una di seguito all'altra e senza soluzione di continuità. Si determini l'automa minimo della rete ed una possibile realizzazione tramite FF-T e gate elementari, nell'ipotesi che siano disponibili in ingresso unicamente i segnali

$$Z_x = x_{k-1} \dots x_1 x_0 U_x/D_x' + x_{k-1}' \dots x_1' x_0' (U_x/D_x')',$$

$$Z_y = y_{k-1} \dots y_1 y_0 U_y/D_y' + y_{k-1}' \dots y_1' y_0' (U_y/D_y')'.$$



Esercizio 3

Una rete sequenziale sincrona è caratterizzata da un unico segnale di ingresso (X) e da un unico segnale di uscita (Z), entrambi sincroni. In ogni intervallo di clock l'uscita Z deve assumere il valore logico 1 soltanto se gli ultimi quattro valori di X costituiscono una palindroma. Si identifichi:

- l'automa minimo della rete secondo il modello di Mealy;
- una possibile realizzazione della rete con FF-D e gate elementari.

X	0	1	1	0	1	0	0	1	1	1	1	1	...
Z				1	0	0	0	1	0	0	1	1	...