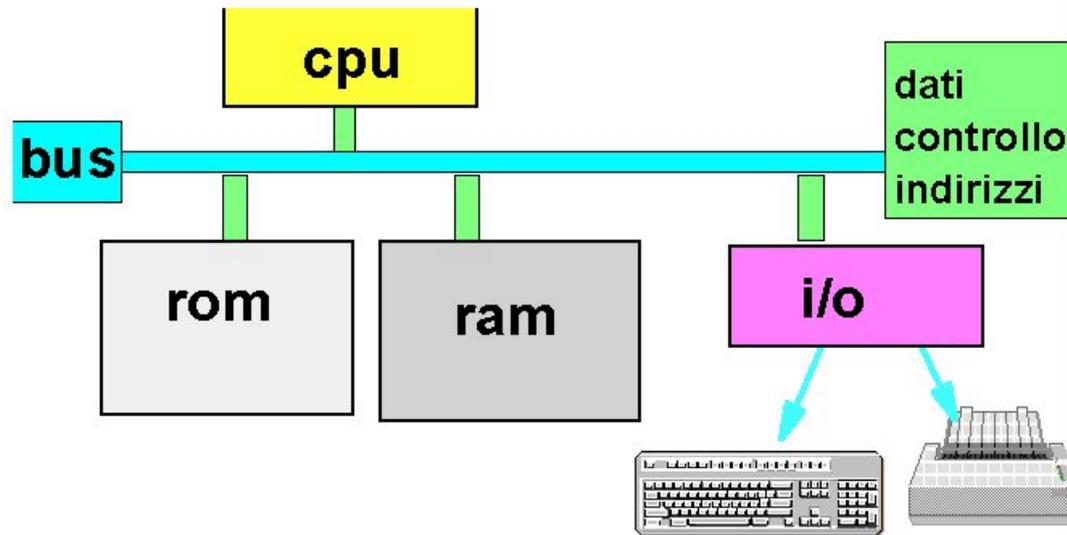
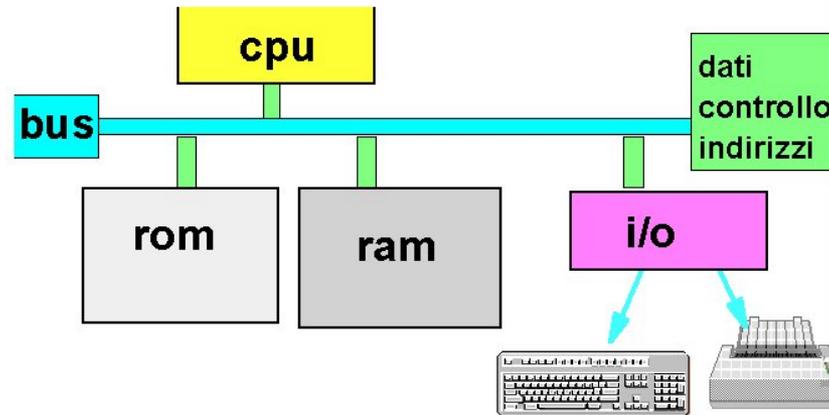


ARCHITETTURA DI UN ELABORATORE



Ispirata al modello della **Macchina di Von Neumann** (Princeton, Institute for Advanced Study, anni '40).

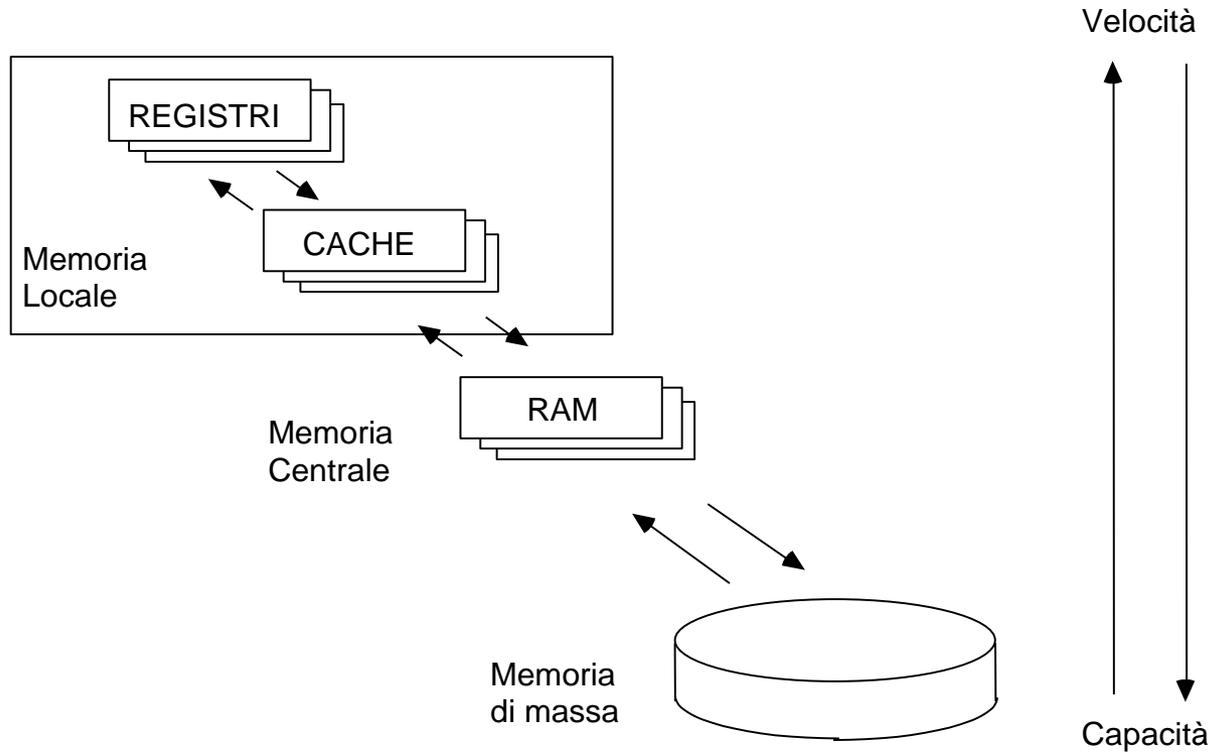
MACCHINA DI VON NEUMANN



UNITÀ FUNZIONALI fondamentali

- Processore (CPU)
- Memoria Centrale (RAM & ROM)
- Unità di I/O (ingresso / uscita) e... memoria di massa
- Bus di sistema

GERARCHIA DELLE MEMORIE



LA MEMORIA DI MASSA

Scopo: memorizzare *grandi masse* di dati in modo *persistente*

(I dati memorizzati su questo tipo di memoria sopravvivono all'esecuzione dei programmi)

Caratteristiche:

- *tempo di accesso*
- *capacità*

Tempo di accesso

- disco fisso: ~ 5 - 10 ms
- flash: 50ns (r) – 1ms (w)

Byte (e multipli)

- Kbyte (1.024 Byte)
- Mbyte (1.048.576 Byte)
- Gbyte (1.073.741.824 Byte)

Capacità

- disco fisso: >10 GB
- Flash: 1-16 GB

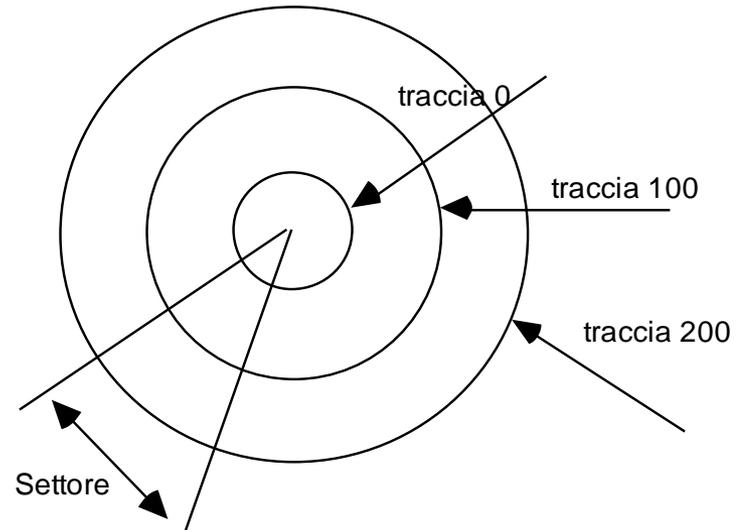
DISPOSITIVI MAGNETICI

- L'area del dispositivo è suddivisa in **micro-zone**
- Ogni micro-zona memorizza una **informazione elementare** sotto forma di ***stato di magnetizzazione***:
 - area magnetizzata / area non magnetizzata**
- Ai due possibili stati di magnetizzazione vengono **associate le due cifre binarie 0 e 1**
 - bit (Binary digit)**
- Quindi, **ogni micro-zona memorizza 1 bit**
- Per memorizzare informazioni più complesse si considerano *collezioni di bit*:
 - BYTE** (collezione di **8 bit**) e suoi multipli

DISCHI MAGNETICI

Un disco consiste in un certo numero di **piatti** con **due superfici** che ruotano attorno ad un perno centrale.

Ogni superficie dispone di una propria **testina di lettura / scrittura**.



Le superfici sono organizzate in **cerchi concentrici (tracce)** e in **spicchi** di ugual grandezza (**settori**).
Le tracce equidistanti dal centro formano un **cilindro**.

DISCHI MAGNETICI (segue)

Ingresso (uscita) da (verso)

⟨*superficie, traccia, settore*⟩

- 1) spostamento della testina (seek) verso la traccia richiesta
- 2) attesa che il settore arrivi sotto la testina;
- 3) trasferimento dei dati in / da memoria centrale (solitamente eseguito da un processore dedicato - Direct Memory Access, DMA).

Tempo di accesso:

$$T_{i/o} = T_{seek} + 1/2 T_{rotazione} + T_{trasferimento}$$

(T_{seek} è il più lungo)

Penne USB

Sono dispositivi che contengono memorie flash.

Organizzate strutturalmente come una RAM ma sono persistenti e il computer le vede come un disco

Sono memorie altamente asimmetriche:

- tempo di accesso in lettura molto basso dell'ordine di nanosecondi
- tempo di accesso in scrittura dell'ordine dei millisecondi (cancellazione e riscrittura)

SSD

Memorie allo stato solido (Solid state devices - SSD). Sono dispositivi che contengono memorie flash.

Non hanno parti meccaniche.

Sono asimmetriche.

Organizzate strutturalmente come una RAM ma sono persistenti e il computer le vede come un disco

DISPOSITIVI OTTICI

1984, CD-ROM (Compact-Disk Read-Only Memory)

- Capacità: > 600 MB
- Costo: < \$1
- Velocità di trasferimento:
 - originariamente 150 KB / s (“1X”)
 - oggi 24, 32, 40 volte tanto...
 - 1986, CD - I (Compact-Disk Interactive)

1997, DVD (Digital Versatile Disk)

- Evoluzione del CD-ROM
- Capacità da 4.8 GB (Single Layer-Single Side) a 17 GB circa (Double Layer - Double Side)
- Velocità di trasferimento molto elevata

2002, “HD-DVD” e “Blue-ray Disc”

CAPACITÀ DELLE MEMORIE

Tipo di memoria	Capacità
Memoria centrale	512 Mbyte - 4 GByte
Dischi magnetici	120 GByte - 1 TByte
Penne USB	1 – 16 GByte
Dischi ottici	650 MByte - 50 GByte

DISPOSITIVI DI MEMORIA

DISPOSITIVI FISICI

- **RAM:** Random Access Memory (ad accesso casuale): su di essa si possono svolgere operazioni sia di lettura che di scrittura
→ anche detta **MEMORIA CENTRALE**
- **ROM:** Read Only Memory (a sola lettura): non volatili e non scrivibili dall'utente (che la ordina con un certo contenuto); in esse sono contenuti i dati e programmi per inizializzare il sistema
- **PROM:** Programmable ROM. Si possono scrivere soltanto una volta, mediante particolari apparecchi (detti programmatori di PROM).

DISPOSITIVI DI MEMORIA (segue)

DISPOSITIVI FISICI (segue)

- **EPROM:** Erasable-Programmable ROM (si cancellano sottoponendole a raggi ultravioletti).
- **EEPROM:** Electrically-Erasable-PROM (si cancellano elettricamente).

Il *Firmware* è costituito da software memorizzato su ROM, EPROM, etc. (codice microprogrammato).

MEMORIE CACHE

PROBLEMA:

Sebbene la RAM sia veloce, non è **abbastanza** veloce da “star dietro” ai moderni processori.

CONSEGUENZA:

il processore *perde tempo* ad aspettare l'arrivo dei dati dalla RAM.

MEMORIE CACHE (2)

SOLUZIONE:

Inserire tra processore e RAM una *memoria particolarmente veloce* dove tenere i dati usati più spesso (*memoria cache*)

In questo modo,

- ◆ **la prima volta** che il microprocessore carica dei dati dalla memoria centrale, tali dati vengono caricati anche sulla cache
- ◆ **le volte successive**, i dati possono essere letti dalla cache (veloce) invece che dalla memoria centrale (più lenta)

MEMORIE CACHE (3)

DUBBIO:

Ma se abbiamo memorie così veloci,
***perché non le usiamo per costruire
tutta la RAM?***

Semplice...

perché costano molto!!

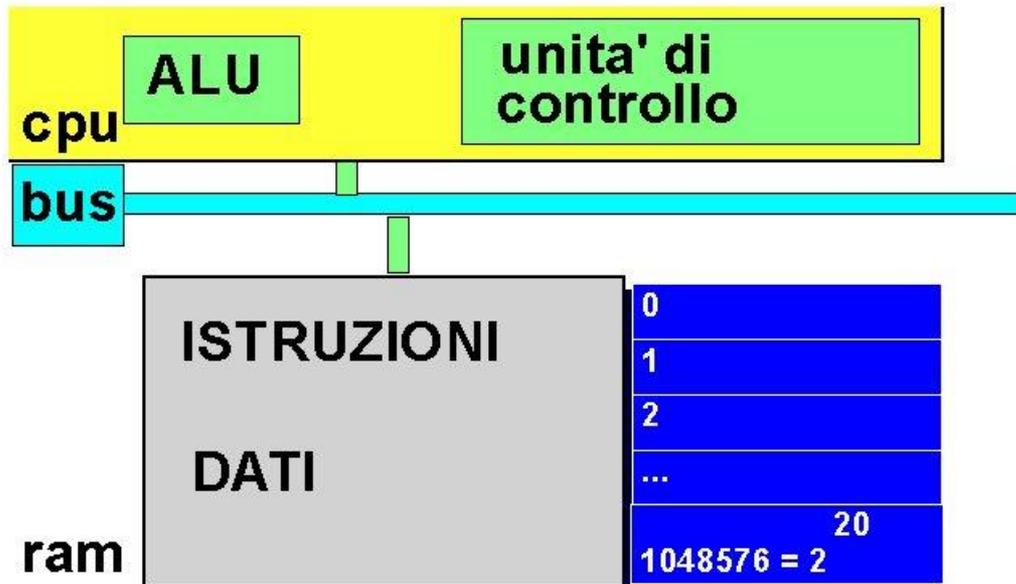
OGGI, la cache è spesso già presente dentro al processore (**cache di I° livello**), e altra può essere aggiunta esternamente al processore (**cache di II° livello**)

CPU & MEMORIA



- **ALU (Arithmetic & Logic Unit)**
- **Unità di Controllo**
- **Registri**

MEMORIA



La memoria centrale è una **collezione di celle numerate**, che possono contenere **DATI e ISTRUZIONI**.
Le istruzioni sono disposte in memoria in **celle di indirizzo crescente**.

LA MEMORIA CENTRALE

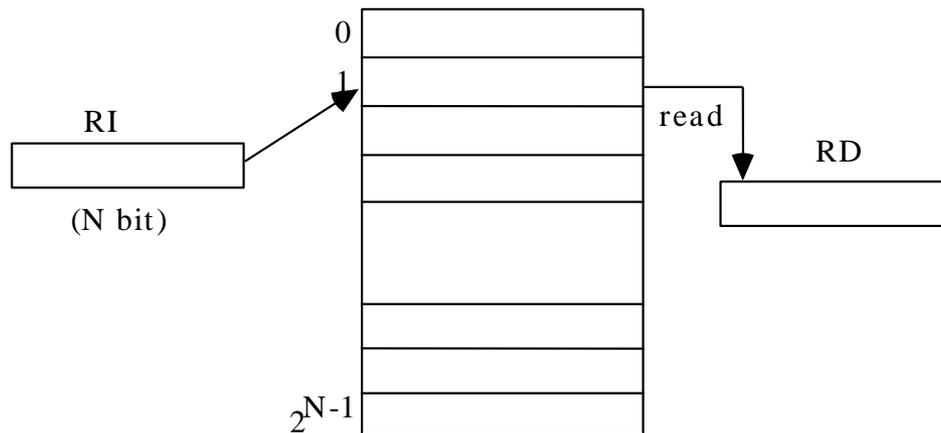
INDIRIZZAMENTO

- E' l'attività con cui l'elaboratore seleziona una particolare cella di memoria
- Per farlo, l'elaboratore pone l'indirizzo della cella desiderata nel Registro Indirizzi (RI).
 - **se il RI è lungo N bit, si possono indirizzare 2^N celle di memoria** (numerate da 0 a 2^N-1)
 - esempio: $N=10 \Rightarrow 1024$ celle.
- **Oggi, RI è lungo tipicamente 32 bit**
→ **SPAZIO INDIRIZZABILE di 4 Gb**

LA MEMORIA CENTRALE (2)

OPERAZIONI

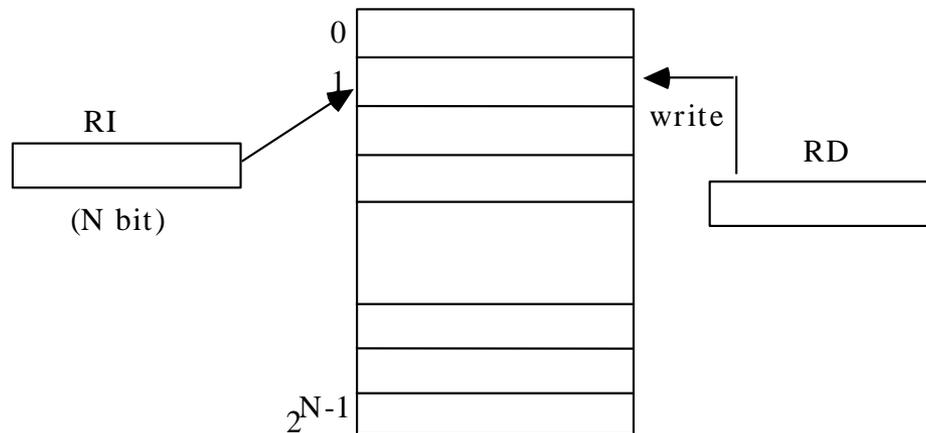
- **Lettura (*Read*):** il contenuto della cella di memoria indirizzata dal Registro Indirizzi è copiato nel Registro Dati.



LA MEMORIA CENTRALE (3)

OPERAZIONI

- **Scrittura (*Write*):** il contenuto del Registro Dati è copiato nella cella di memoria indirizzata dal Registro Indirizzi.



UNITÀ DI ELABORAZIONE (CPU)

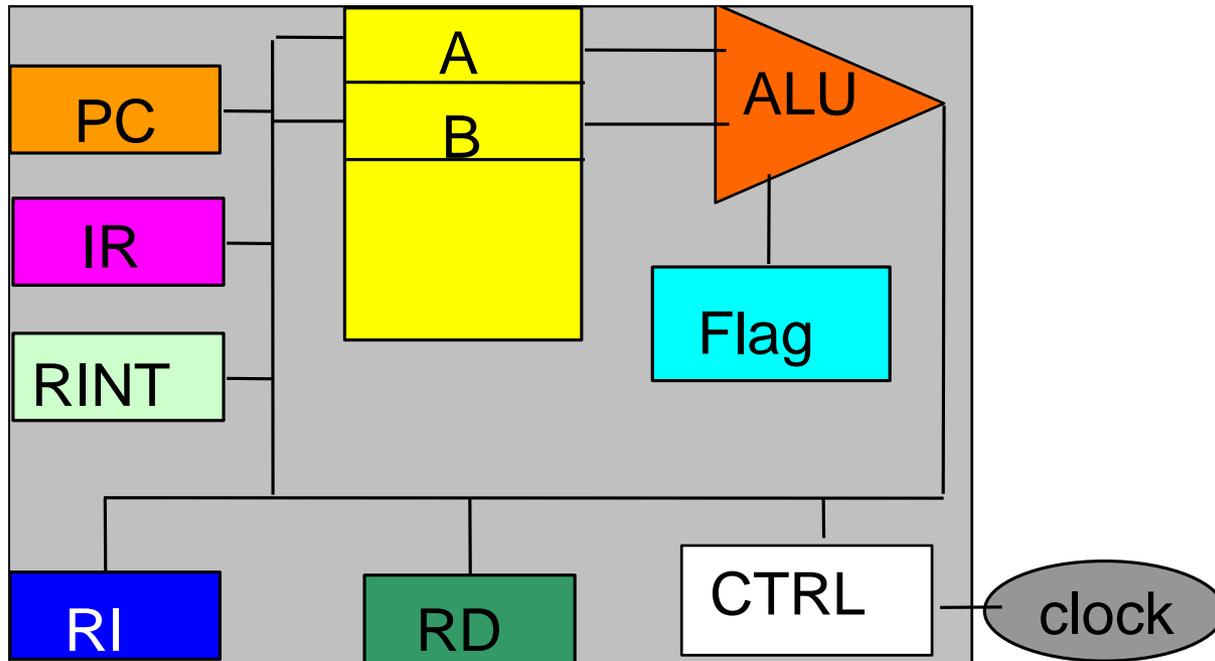
ALU (Arithmetic / Logic Unit)

Esegue le operazioni aritmetiche e logiche elementari

Unità di Controllo (*Control Unit*): controlla e coordina l'attività della CPU. (In particolare, controlla il trasferimento dei dati tra memoria e registri e la decodifica e l'esecuzione delle istruzioni)

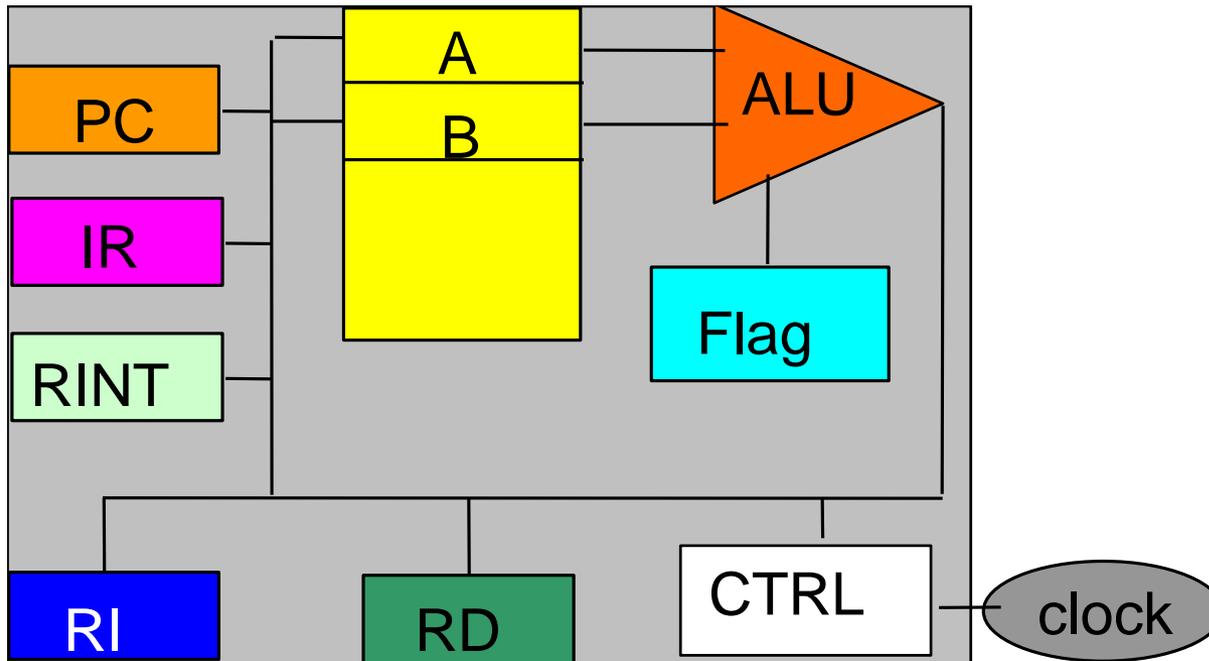
I registri sono *locazioni* usate per memorizzare dati, istruzioni, o indirizzi ***all'interno della CPU***. L'accesso ai registri è *molto veloce*.

UNITÀ DI ELABORAZIONE (CPU)



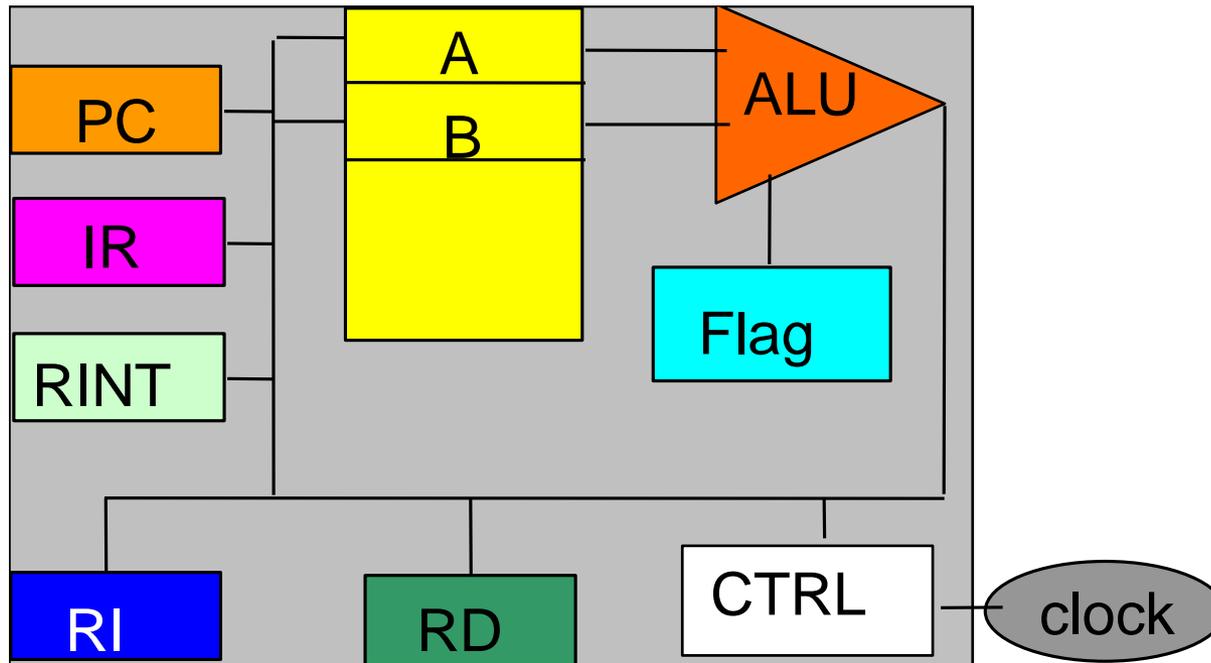
Il clock dà la base dei tempi necessaria per mantenere il sincronismo fra le operazioni

UNITÀ DI ELABORAZIONE (CPU)



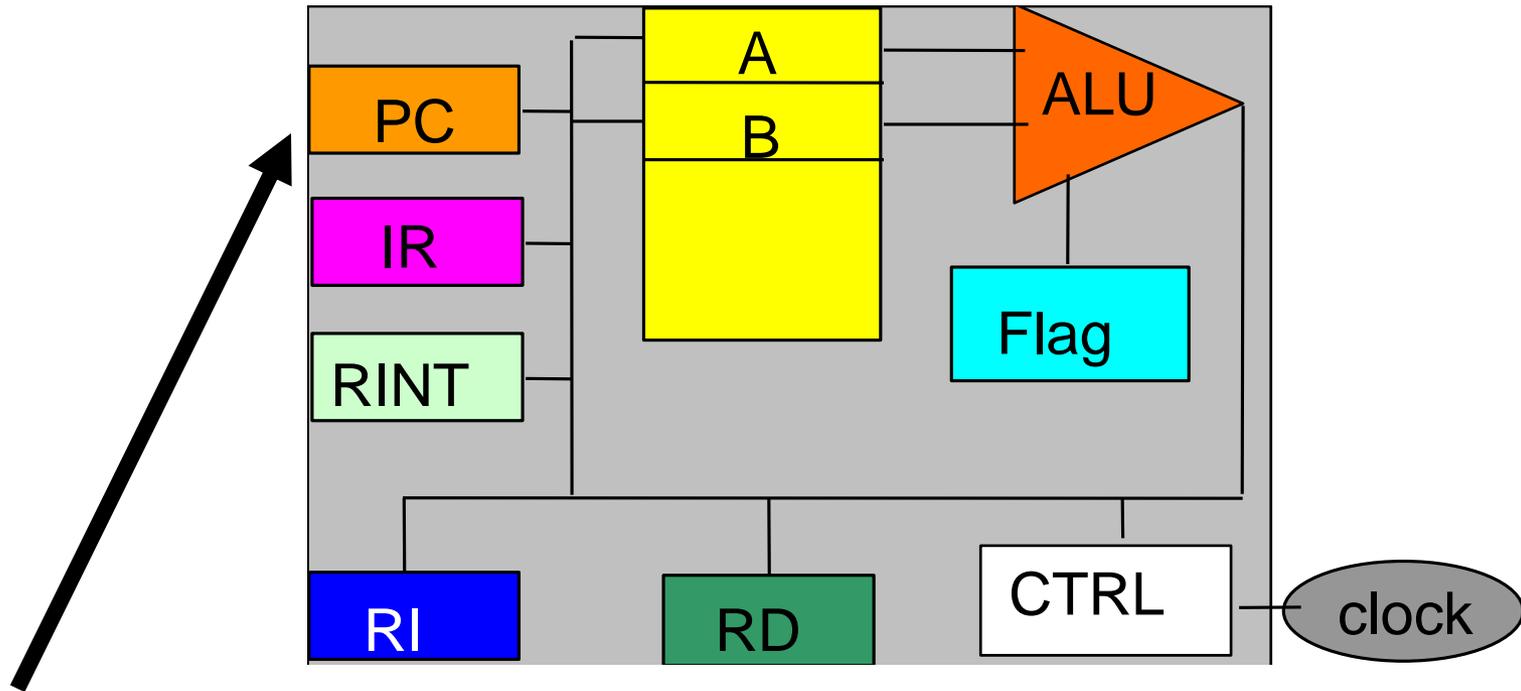
I registri (qui **A**, **B**, **PC**, **Flag**,...) sono *locazioni* usate per memorizzare dati, istruzioni, o indirizzi **all'interno della CPU**. L'accesso ai registri è *molto veloce*.

I REGISTRI



I registri sono *locazioni* di memoria *interne a CPU*, e come tali *molto veloci*.

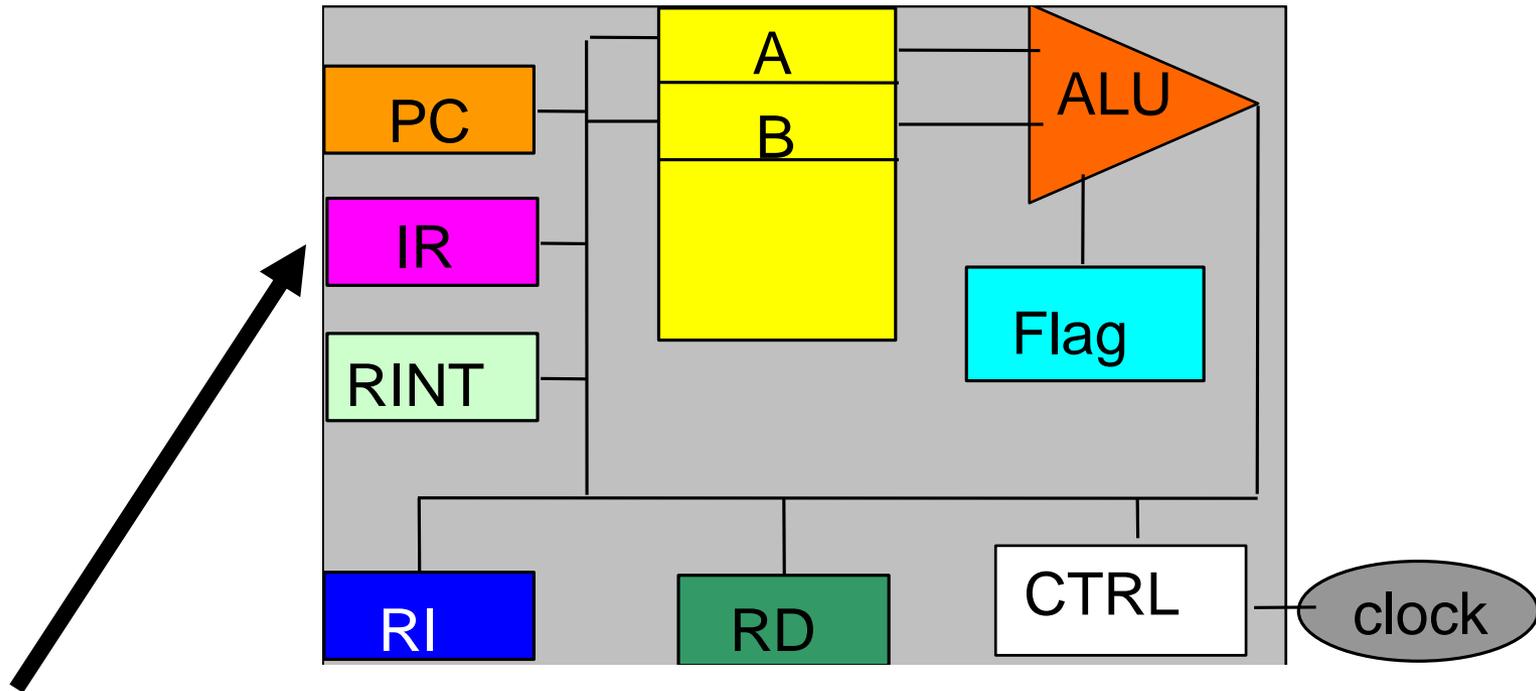
I REGISTRI



Program Counter (PC)

Indica l'indirizzo della cella di memoria che contiene la prossima istruzione da eseguire

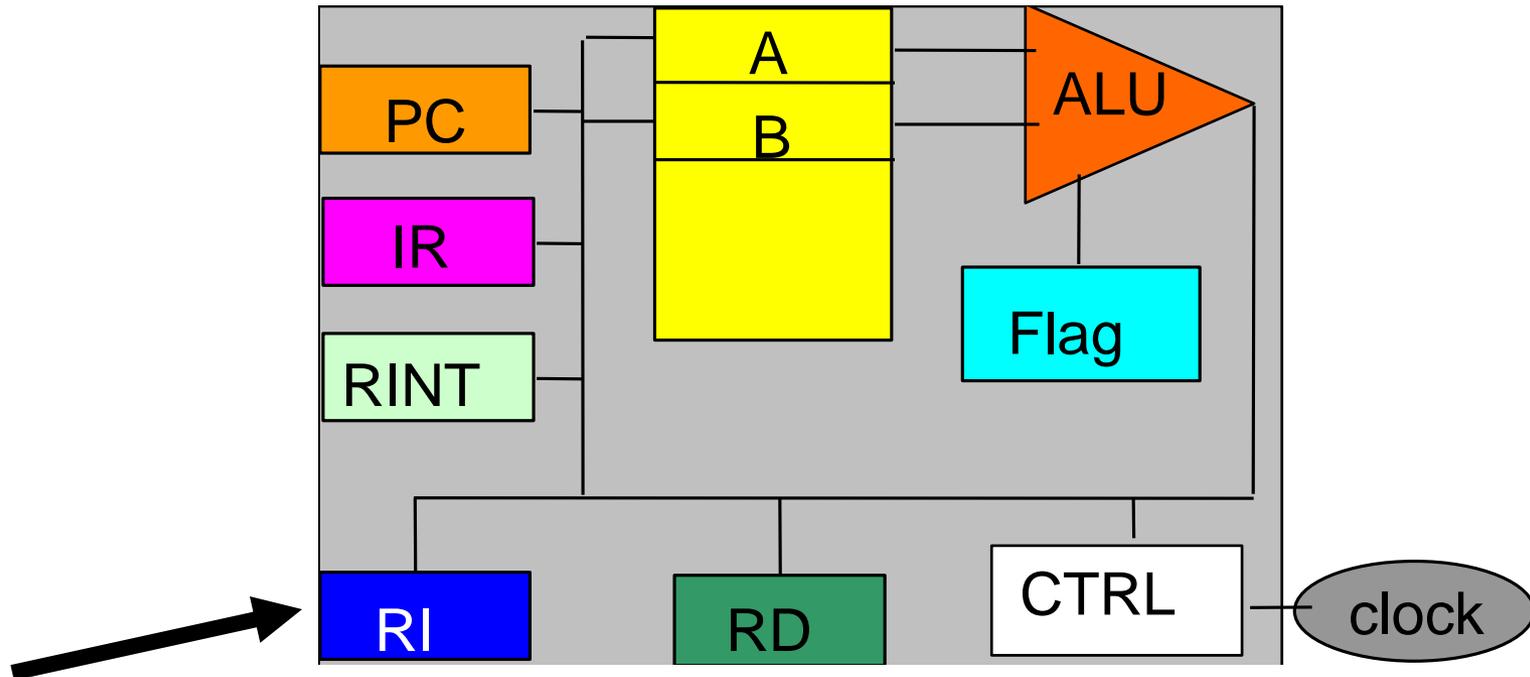
I REGISTRI



Instruction Register (IR)

Contiene l'istruzione da eseguire.

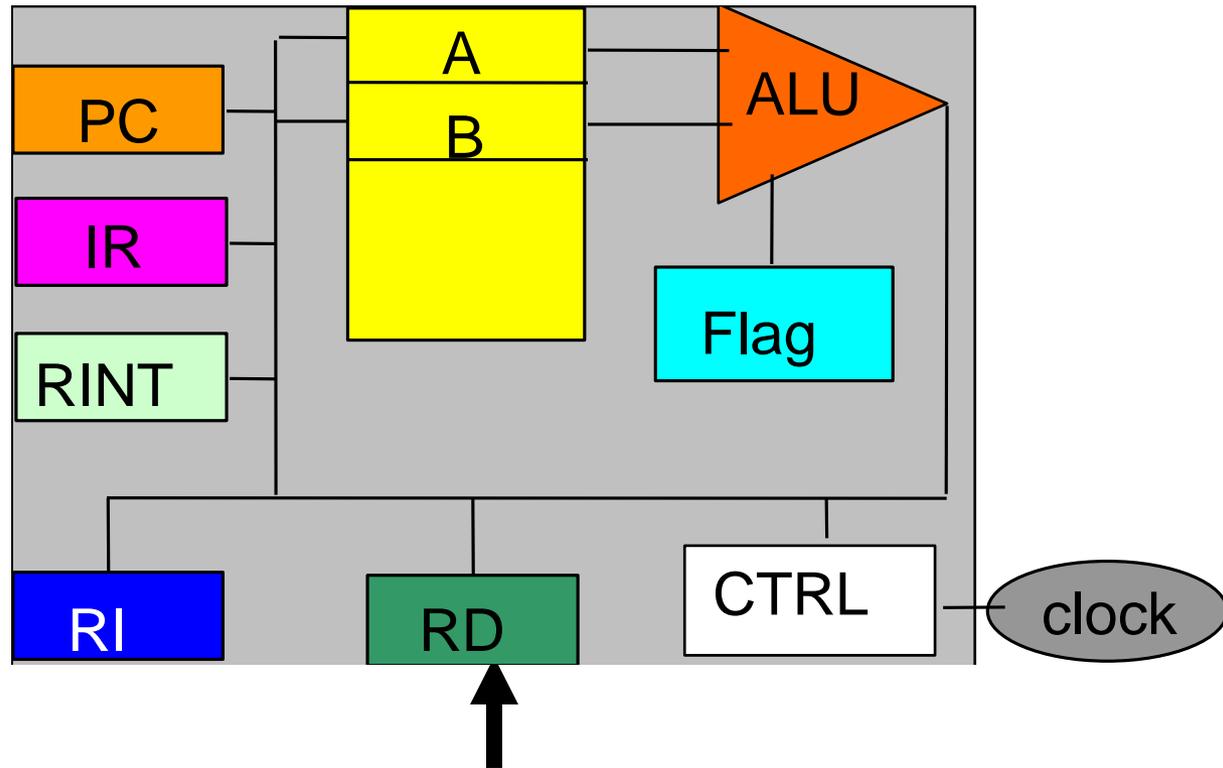
I REGISTRI



Registro Indirizzi (RI)

Contiene l'indirizzo della cella di memoria da selezionare per il trasferimento di un dato con la CPU

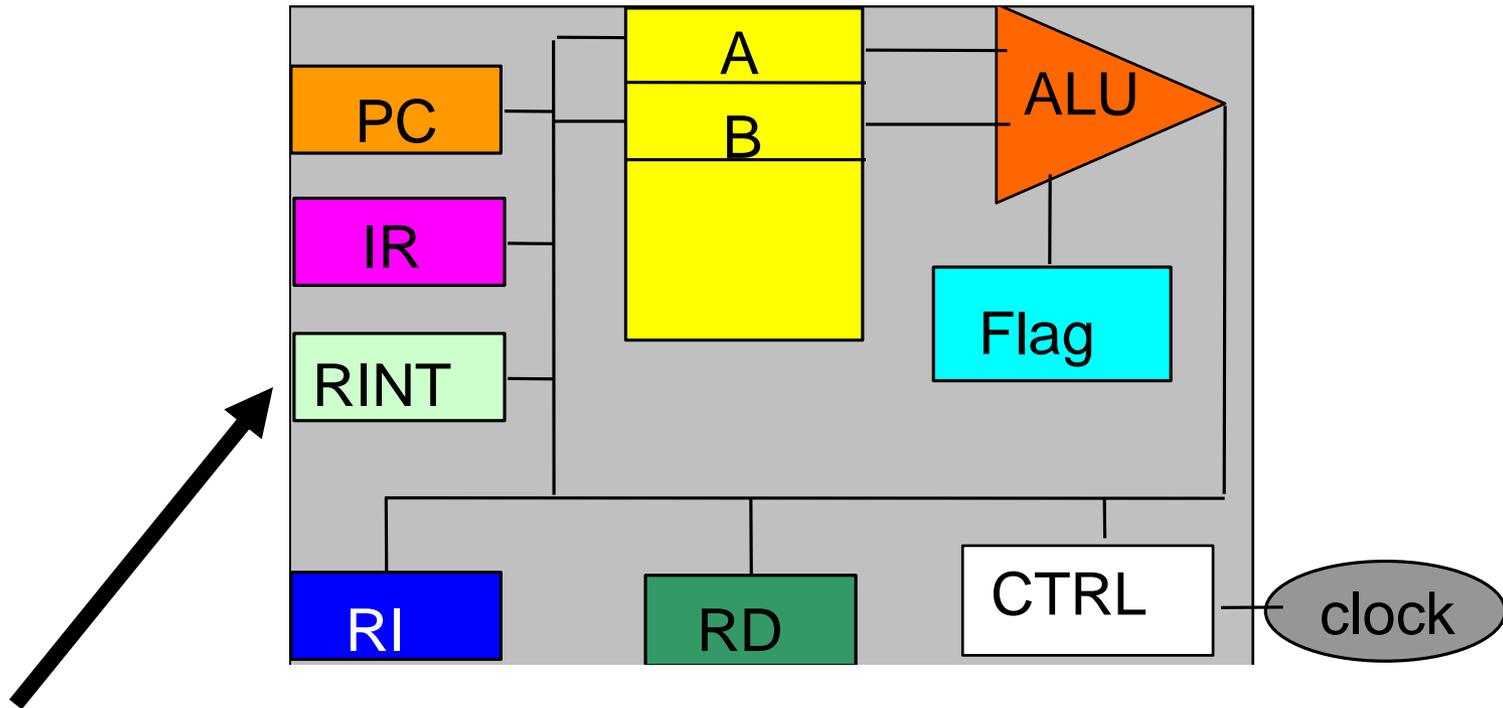
I REGISTRI



Registro Dati (RD) o *Accumulatore*

Contiene il dato attualmente oggetto di elaborazione e il risultato al termine dell'esecuzione

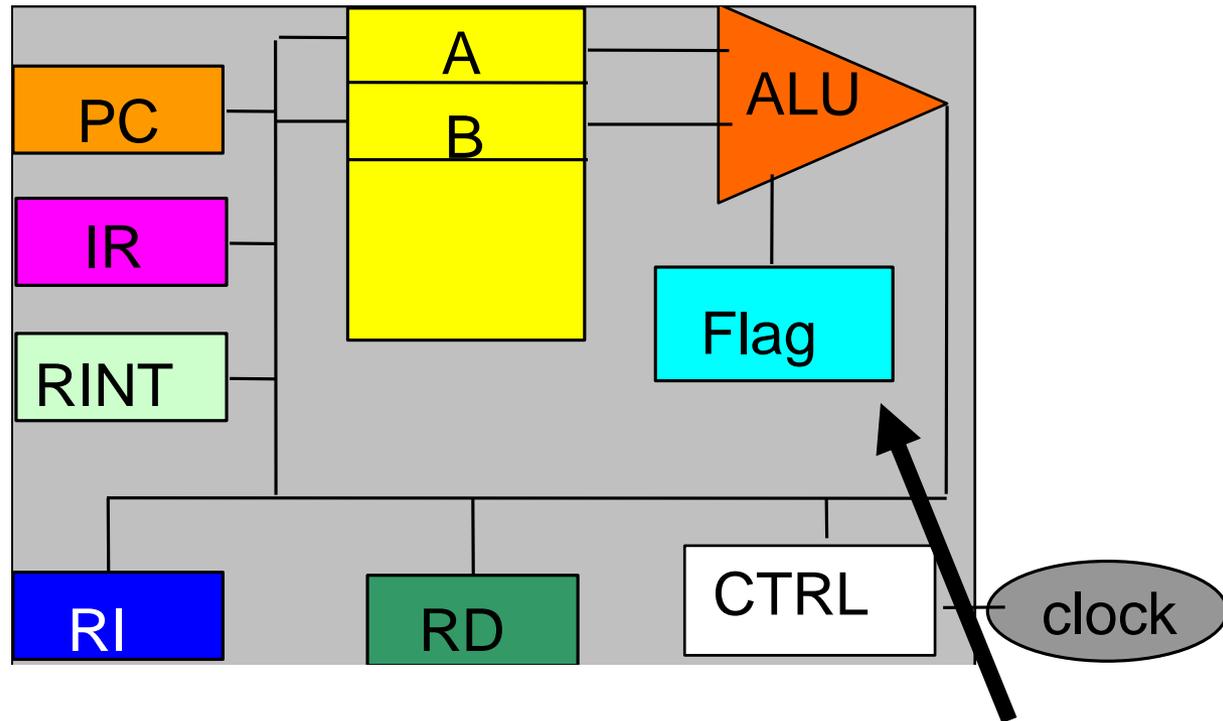
I REGISTRI



Registro Interruzioni (RINT)

Serve per scopi particolari (non discussi)

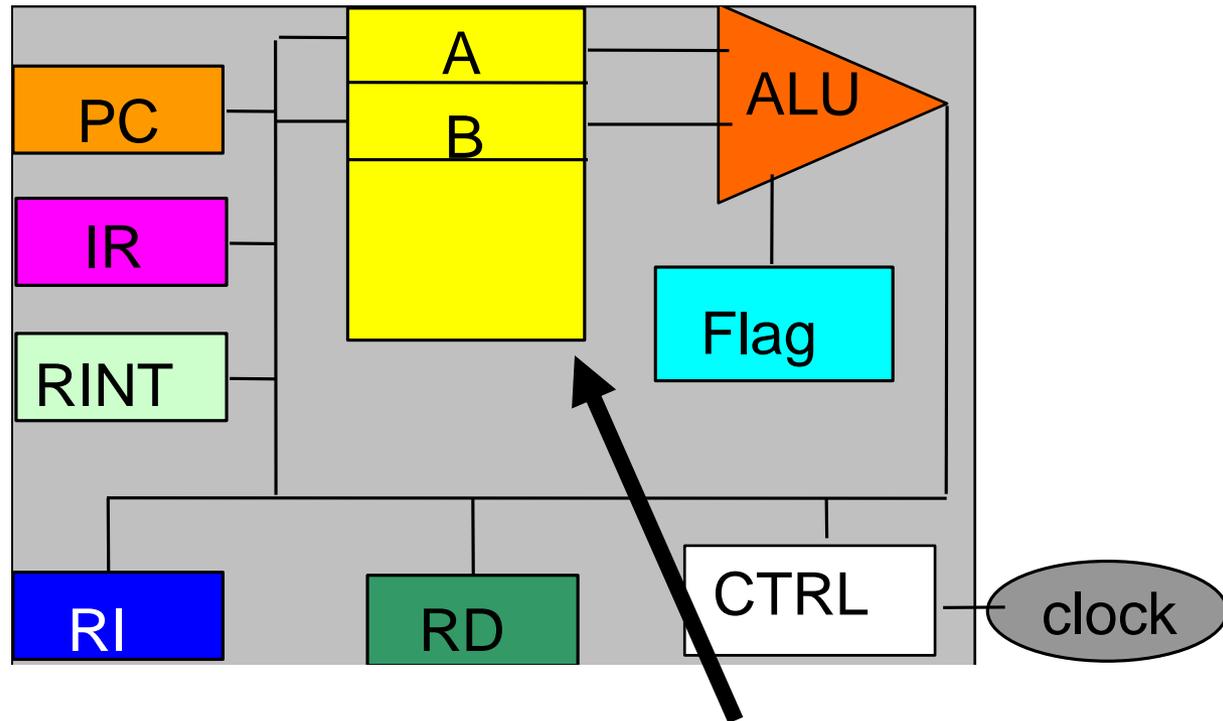
I REGISTRI



Registro dei Flag (Flag)

Ogni flag indica la presenza/assenza di una proprietà nell'ultimo risultato generato dalla ALU. Altri bit riassumono lo stato del processore.

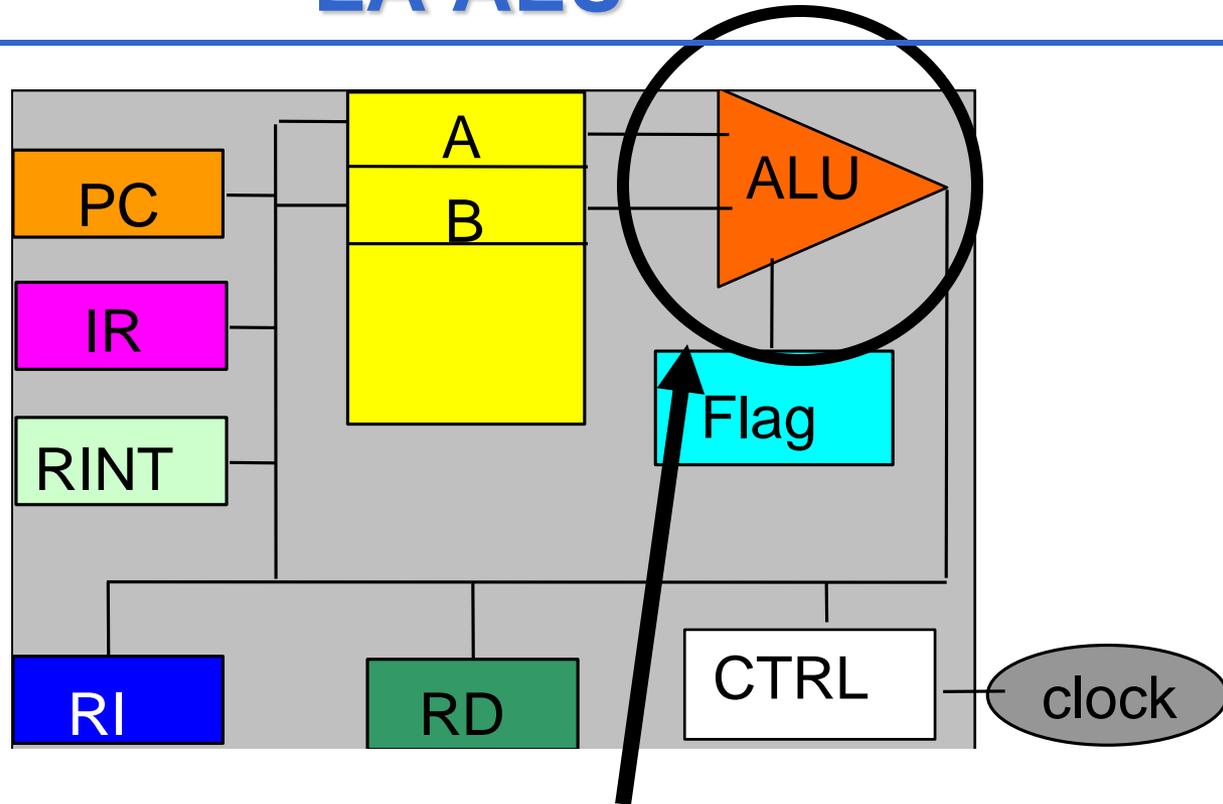
I REGISTRI



Registri di uso generale (A,B,C,...)

Sono usati per contenere sia dati (in particolare, operandi di operazioni aritmetico/logiche) sia indirizzi.

LA ALU



Esegue operazioni aritmetiche, logiche e confronti sui dati della memoria centrale o dei registri.
Può essere semplice oppure (più spesso) molto complessa e sofisticata.

UNITÀ DI CONTROLLO



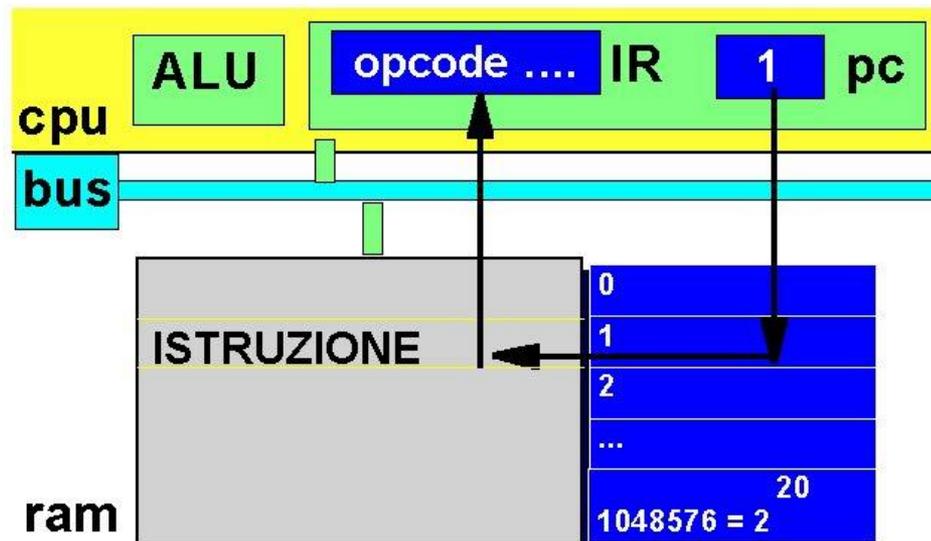
L'unità di controllo fa funzionare l'elaboratore.

Da quando viene acceso a quando è spento, essa esegue in continuazione il **ciclo di *prelievo / decodifica / esecuzione*** (**fetch / decode / execute**).

IL CICLO fetch / decode / execute

FETCH

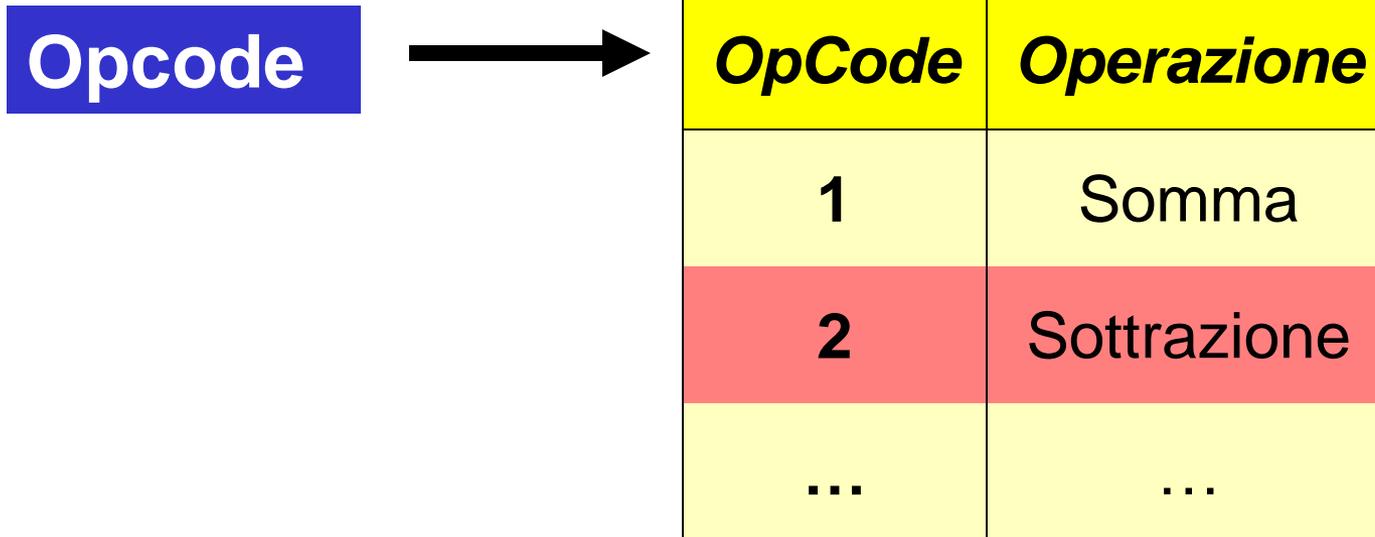
- si accede alla **prossima istruzione** (cella il cui indirizzo è contenuto nel registro **PC**) ...
- ... e **la si porta dalla memoria centrale**, memorizzandola nel *Registro Istruzioni (IR)*



IL CICLO fetch / decode / execute

DECODE

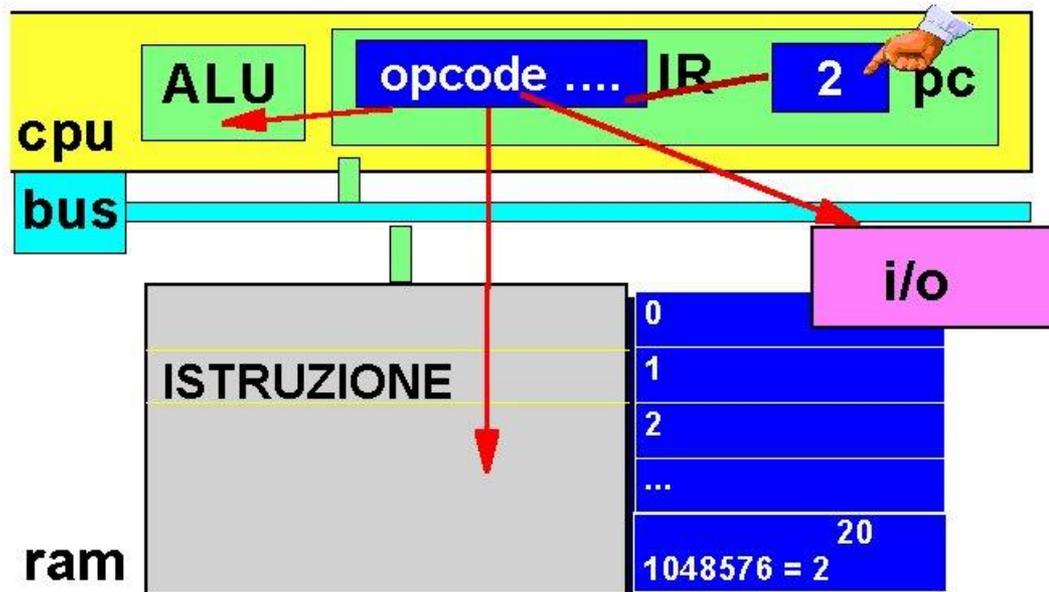
- si decodifica il tipo dell'istruzione in base al suo **OpCode** (codice operativo)



IL CICLO fetch / decode / execute

EXECUTE

- si individuano i dati usati dall'istruzione
- si trasferiscono tali dati nei registri opportuni
- si esegue l'istruzione.



IL CICLO fetch / decode / execute

ATTENZIONE

Istruzioni particolari possono *alterare il prelievo delle istruzioni da celle consecutive*:

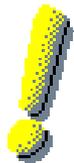
- istruzioni di **salto**
- istruzioni di **chiamata a sotto-programmi**
- istruzioni di **interruzione**

L'ALU (segue)

ESEMPIO SEMPLICE:

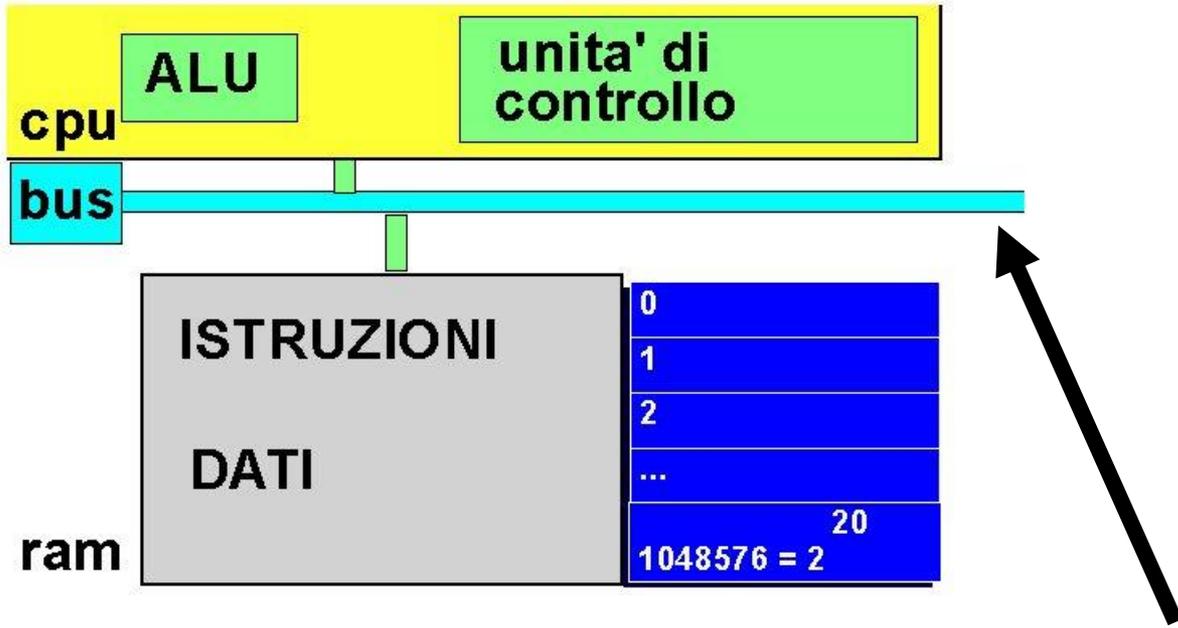
ALU in grado di eseguire **somma**, **sottrazione**, **prodotto**, **divisione** con due operandi contenuti nei registri A e B.

1. I due operandi vengono caricati nei registri A e B;
2. La ALU viene attivata da un comando inviato dalla CPU che specifica il tipo di operazione;
3. Nel registro A viene caricato il risultato dell'operazione eseguita dalla ALU;
4. Il registro FLAG riporta sui suoi bit indicazioni sul risultato dell'operazione (riporto, segno, etc.).



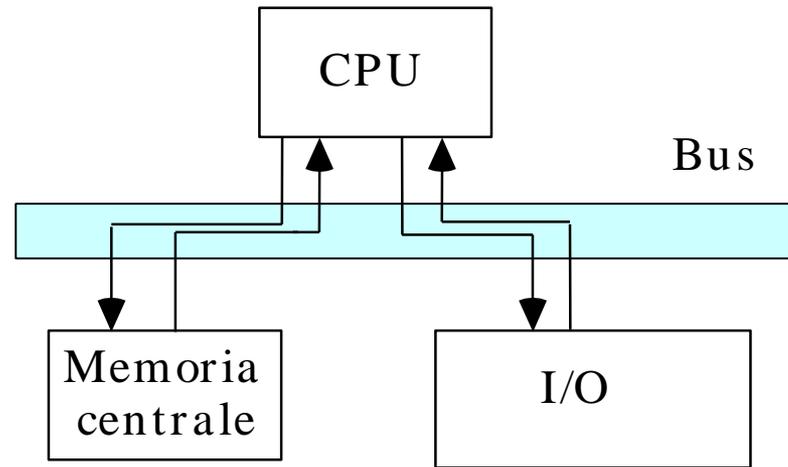
Alterazione di due bit nel registro **Flag**:
carry (riporto) e **sign** (segno)

BUS DI SISTEMA



Il Bus di Sistema interconnette la CPU, la memorie e le interfacce verso dispositivi periferici (I/O, memoria di massa, etc.)

BUS DI SISTEMA (2)

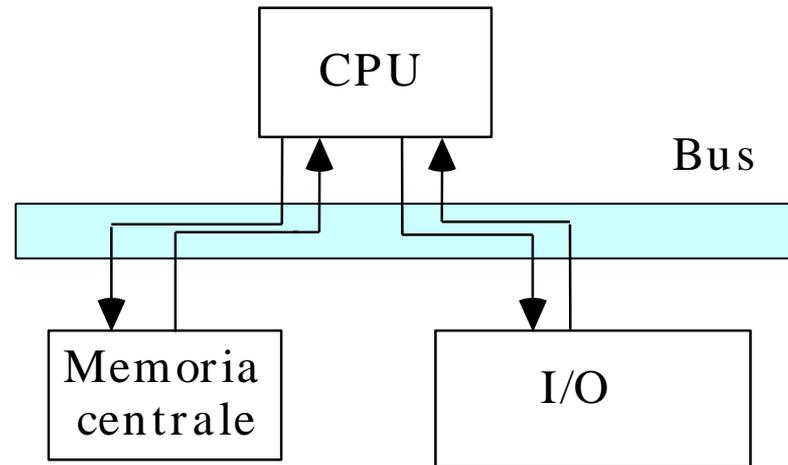


Il Bus collega ***due unità funzionali alla volta:***

- **una trasmette...**
- **... e l'altra riceve.**

Il trasferimento dei dati avviene o *sotto il controllo della CPU.*

BUS DI SISTEMA (3)



Il Bus è in realtà **un insieme di linee diverse:**

- **bus dati (*data bus*)**
- **bus indirizzi (*address bus*)**
- **bus comandi (*command bus*)**

BUS DI SISTEMA (4)

BUS DATI

- **bidirezionale**
- serve per trasmettere dati *dalla memoria o viceversa.*

BUS INDIRIZZI

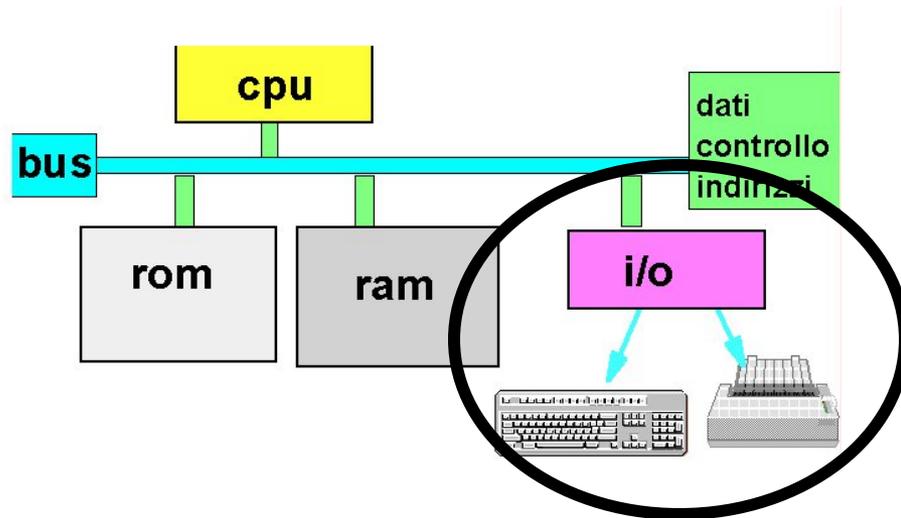
- **unidirezionale**
- serve per trasmettere *il contenuto del registro indirizzi alla memoria*
(si seleziona una specifica cella su cui viene eseguita o un'operazione di lettura o una operazione di scrittura)

BUS DI SISTEMA (5)

BUS COMANDI

- **bidirezionale**
- tipicamente usato per *inviare comandi verso la memoria* (es: lettura o scrittura) o *verso una periferica* (es. stampa verso la stampante → interfaccia)
- può essere usato in alcuni casi per *inviare comandi verso il processore*

INTERFACCE DI I/O



Le interfacce sono molto diverse tra loro, e dipendono dal tipo di unità periferica da connettere.

Una **interfaccia** è un dispositivo che consente all'elaboratore di **comunicare con una periferica** (tastiere, mouse, dischi, terminali, stampanti, ...).

OLTRE la macchina di Von Neumann

- **Problema:** nella Macchina di Von Neumann le operazioni sono ***strettamente sequenziali***.
- Altre soluzioni introducono forme di ***parallelismo***
 - **processori dedicati** (*coprocessori*) al calcolo numerico, alla gestione della grafica, all'I/O.
 - **esecuzione *in parallelo*** delle varie fasi di un'istruzione: mentre se ne esegue una, si acquisiscono e decodificano le istruzioni successive (***pipeline***)
 - **architetture completamente diverse:** sistemi multi-processore, macchine dataflow, LISP macchine, reti neurali.